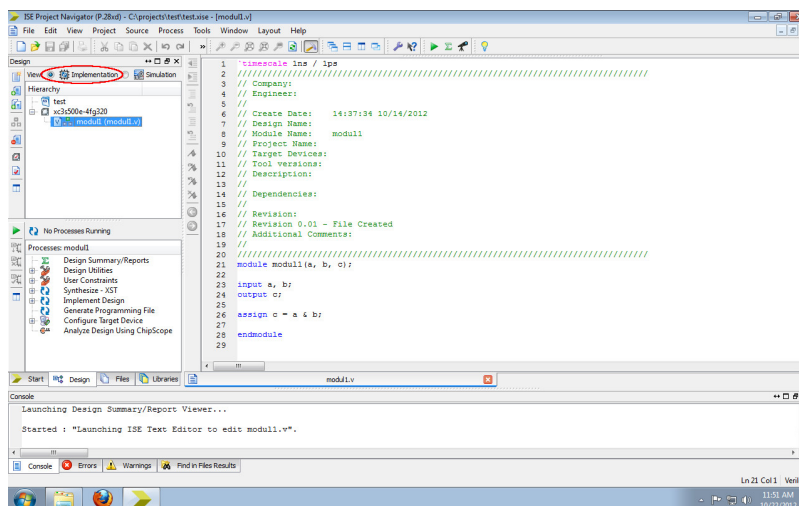
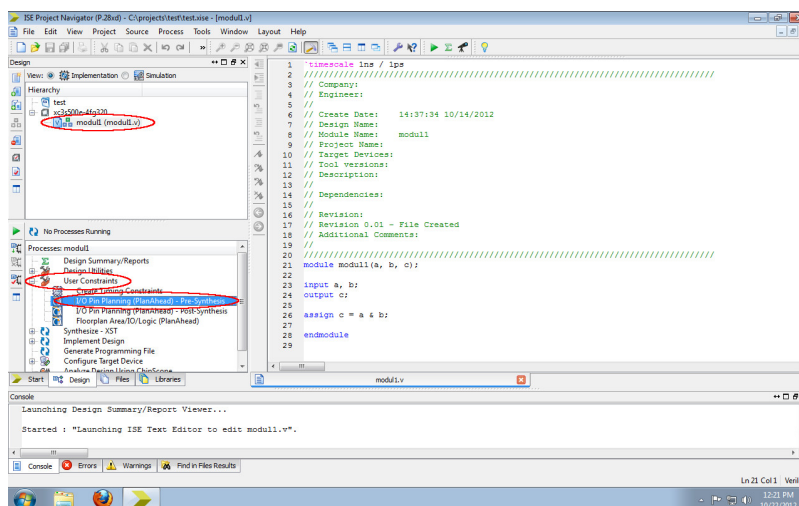


# Asignarea pinilor de IO în Xilinx ISE

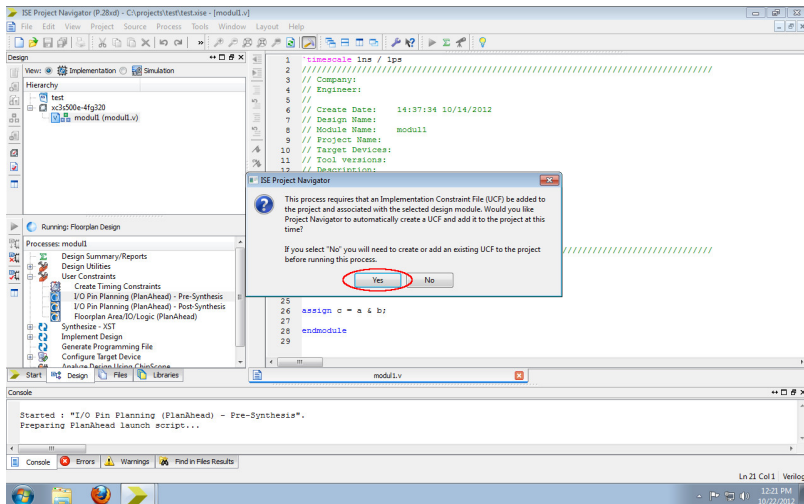
- Treceți în modul implementare apăsând butonul *Implementation*.



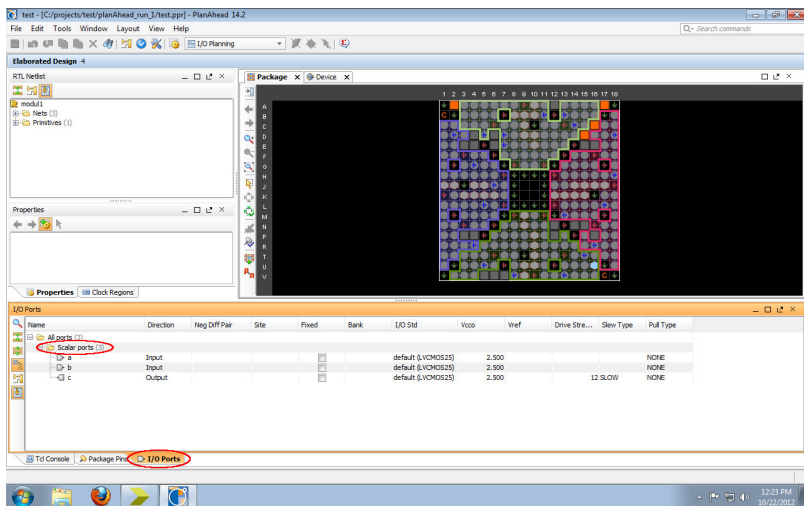
- Selectați modulul **top-level** din ierarhia proiectului și rulați procesul *I/O Pin Planning (PlanAhead) - Pre-Synthesis* aflat în lista de procese sub nodul *User Constraints*, pentru a porni aplicația de asignare a pinilor de IO. În opțiunile proiectului trebuie să fie corect selectată placa de dezvoltare folosită. Altfel, asignarea pinilor conform plăcii din laborator va eșua.



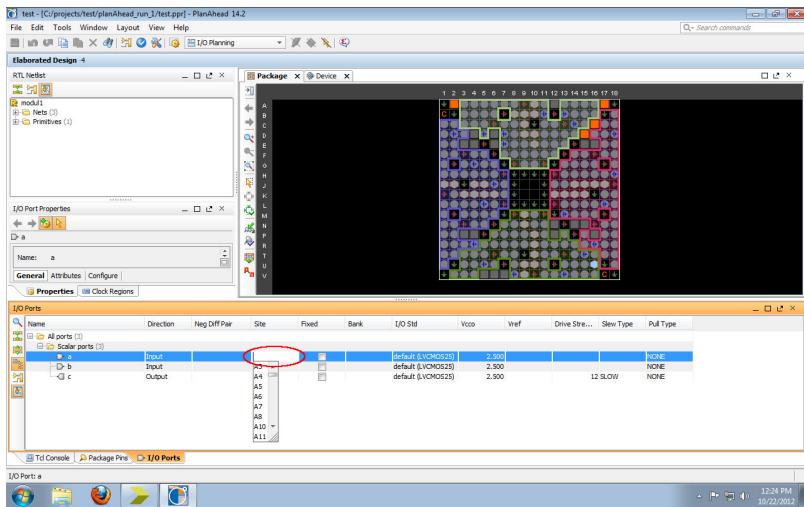
- Dacă proiectul nu conține deja un fișier de constrângeri, care specifică asignarea pinilor de IO (starea implicită pentru un proiect nou creat), acesta va fi creat automat apăsând butonul Yes.



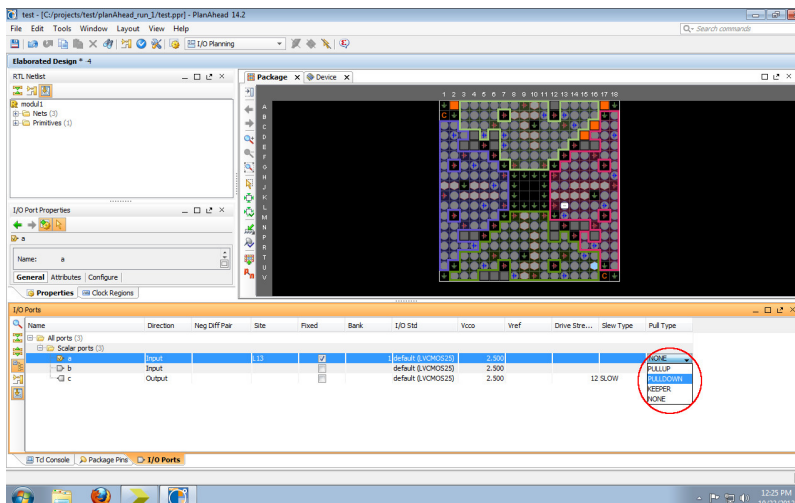
- În aplicația de asignare a pinilor de IO selectați tabul *I/O Ports* și expandați nodul *Scalar ports* pentru a expune porturile de IO ale modulului.



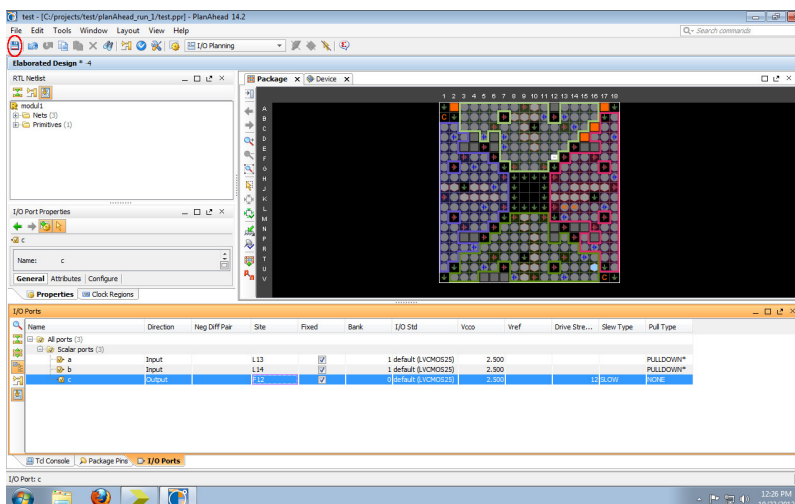
- Pentru fiecare port al modulului editați câmpul *Site* selectând pin-ul FPGA-ului care vreți să fie asignat acelu port.



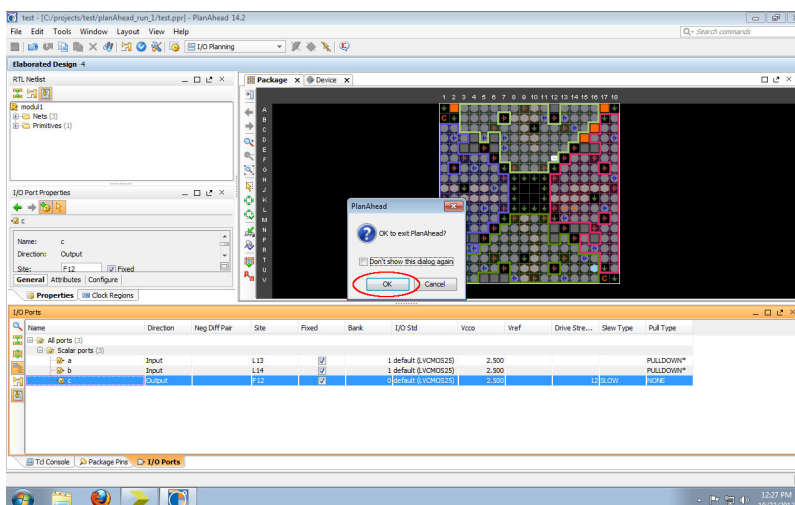
- Dacă este necesar, editați și celelalte câmpuri ale portului: *I/O Std*, *Drive Strength*, *Slew Type*, *Pull Type* pentru a obține comportamentul dorit. Dacă folosiți butoane și switch-uri, trebuie să selectați *Pull Type* conform specificațiilor din [manualul plăcii](#).



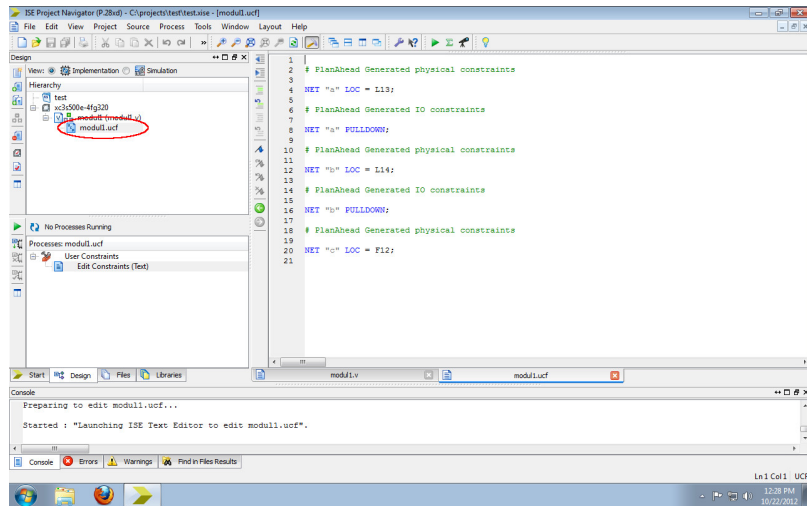
- După ce ați asignat toate porturile modulului la câte un pin al FPGA-ului salvați modificările utilizând butonul Save.



- Închideți aplicația de asignare a pinilor de IO și reveniți la aplicația principală.



- Fișierul de constrângeri (extensia .ucf) poate fi editat direct și din mediul de dezvoltare, în mod text, respectând formatul acestuia.



## PDF tutorial

From:  
<http://ocw.cs.pub.ro/courses/> - **CS Open CourseWare**

Permanent link:  
<http://ocw.cs.pub.ro/courses/ac-is/tutoriale/4-ise-constraints>



Last update: **2021/10/03 12:17**