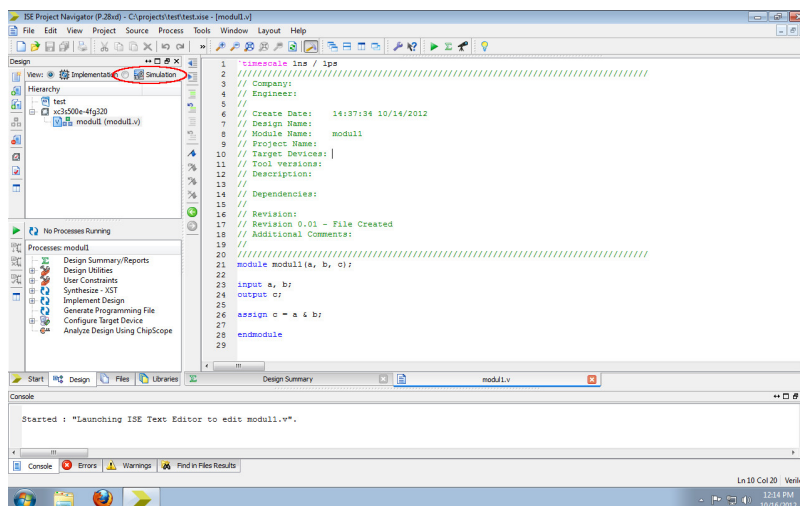
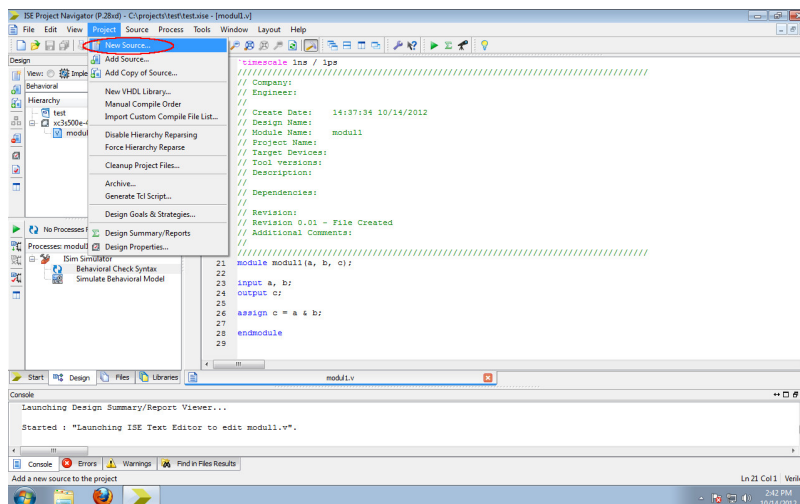


Simularea unui modul în Xilinx ISE

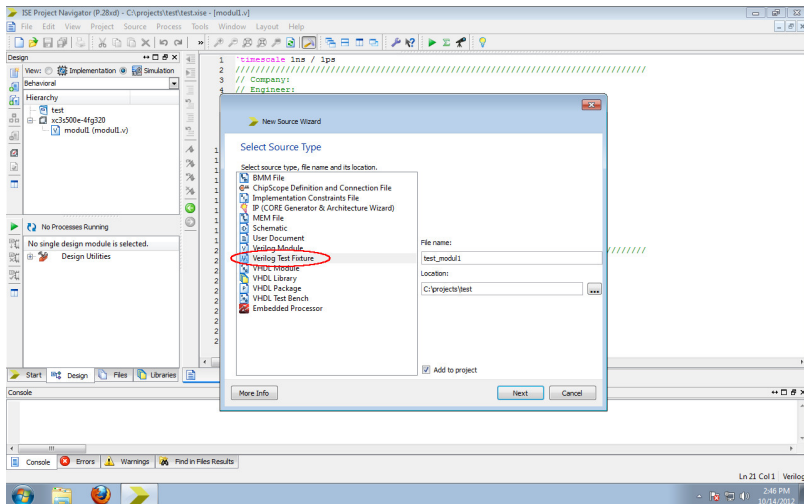
- Treceți în modul simulare apăsând butonul *Simulation*.



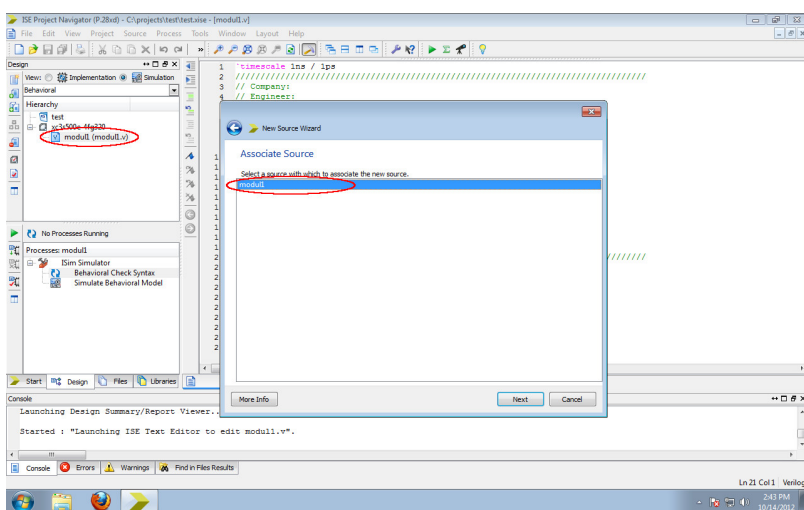
- Din meniul *Project* selectați opțiunea *New Source...* pentru a crea un modul de testare.



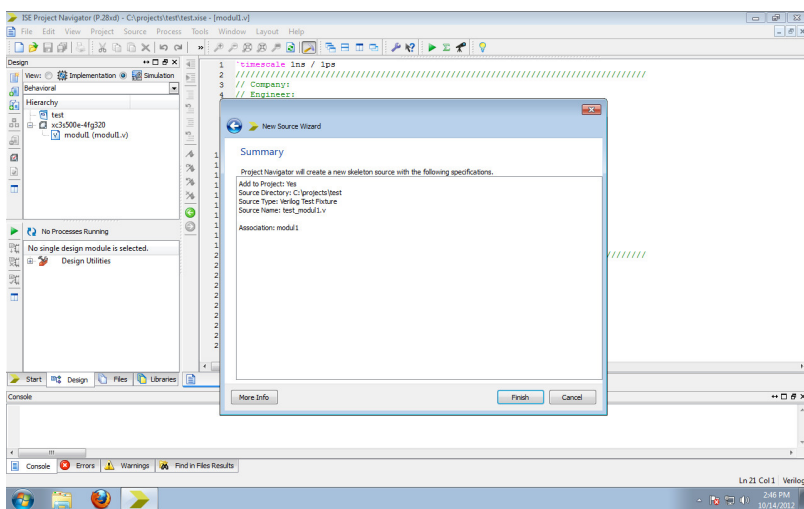
- Introduceți numele fișierului și selectați *Verilog Test Fixture* pentru tipul acestuia.



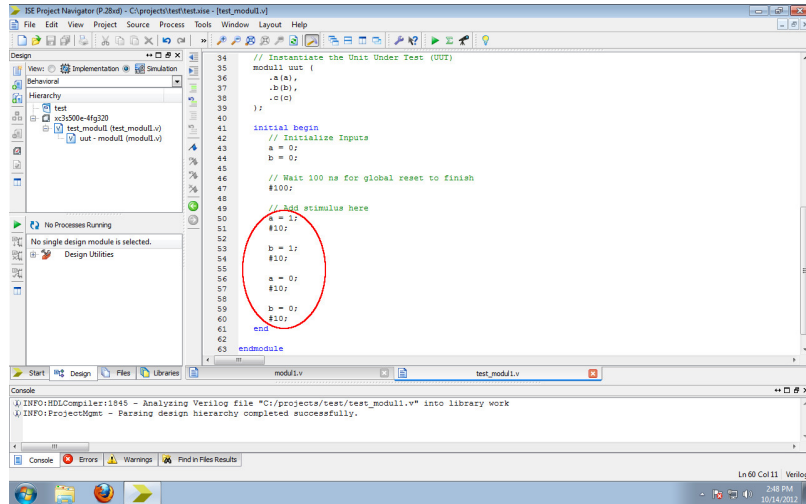
- Dacă proiectul conține mai multe module puteți selecta modulul care va fi testat în simulare.



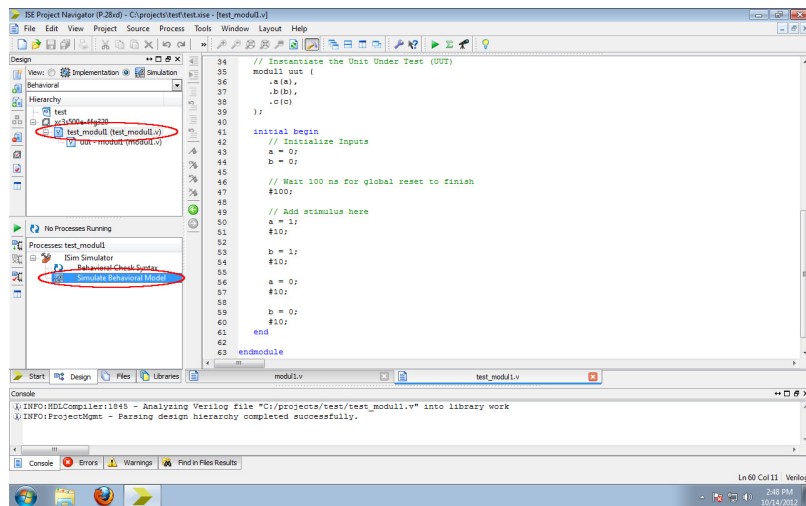
- În fereastra următoare este prezentat un sumar al modulului care va fi generat. Apăsăți *Finish* pentru a crea modulul de testare.



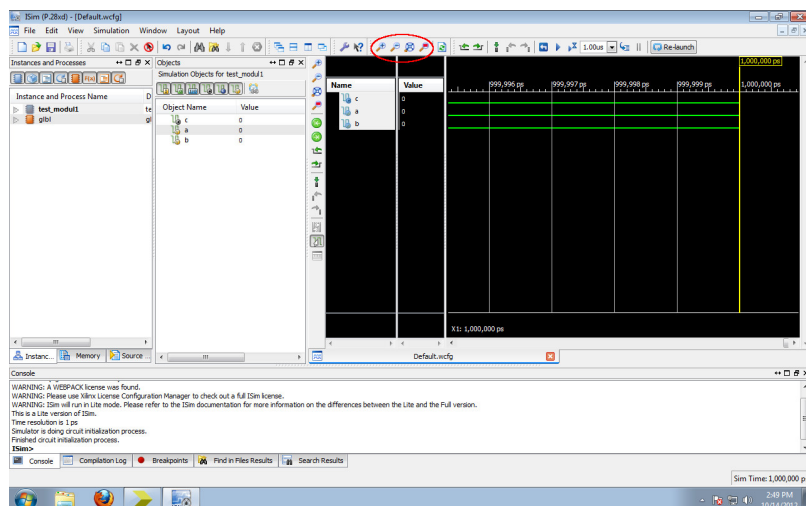
- În modulul de testare vor trebui adăugate instrucțiuni pentru generarea semnalelor de intrare ale modulul testat.



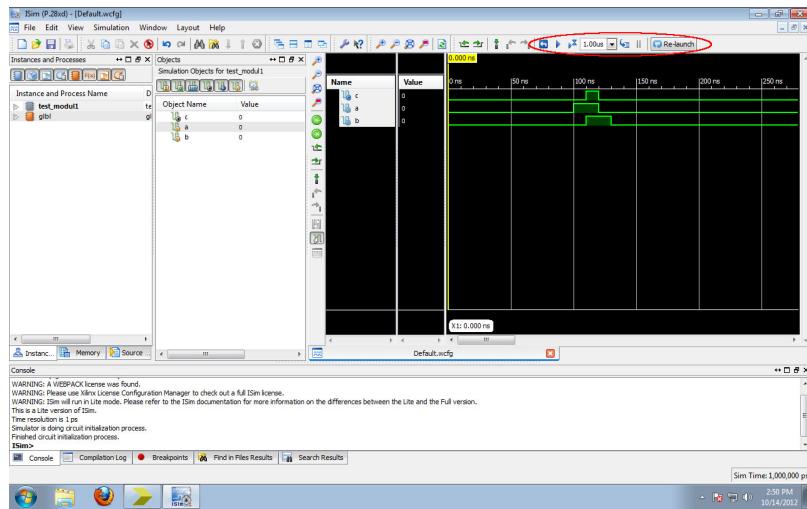
- Pentru a porni simularea, selectați **modulul de testare** din lista de module și apoi apăsați butonul *Simulate Behavioral Model*. Dacă selectați un alt modul, rezultatul simulării nu va fi cel dorit, intrările modulului testat nefiind definite. În acest caz în diagrama de semnale intrările vor fi marcate cu z (impedanță mare, high-Z - semnal de culoare albastră), iar ieșirile cu x (nedefinit - semnal de culoare roșie).



- Este posibil ca, în funcție de numărul de secunde simulate și de nivelul de zoom selectat, comportamentul modulului simulat să nu apară în întregime pe diagrama de semnale. Puteți folosi butoanele de zoom/scroll pentru a selecta zona de interes.



- Pentru a restarta simularea sau pentru a rula simularea un timp mai îndelungat puteți folosi butoanele de control al simulării.



[PDF tutorial](#)

From: <http://ocw.cs.pub.ro/courses/> - **CS Open CourseWare**

Permanent link: <http://ocw.cs.pub.ro/courses/ac-is/tutoriale/2-ise-simulare>



Last update: **2021/10/03 12:15**