

# Sisteme Încorporate

## Cursul 10

### Sisteme Reconfigurabile

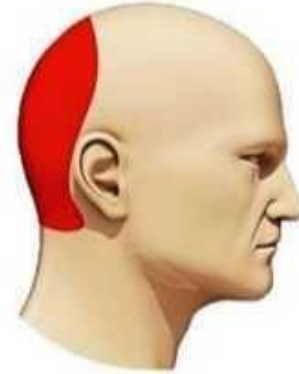
Facultatea de Automatică și Calculatoare  
Universitatea Politehnica București

# Types of Headache

**Migraine**



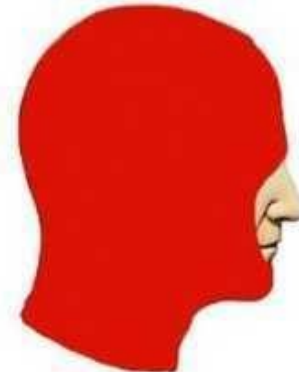
**Hypertension**



**Stress**

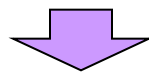
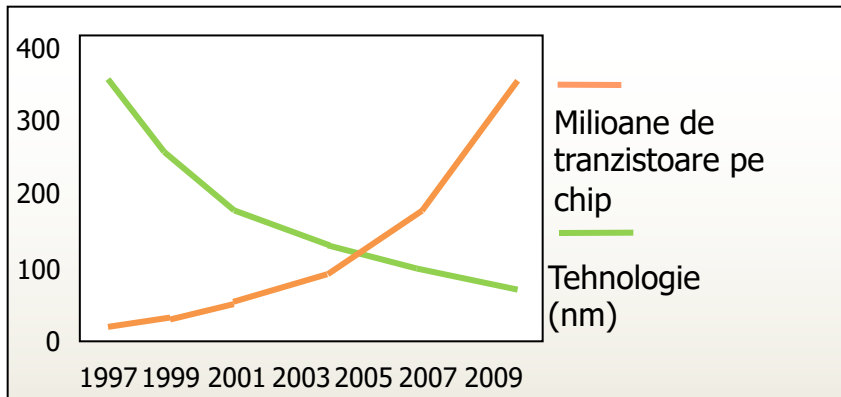


**Xilinx Vivado**

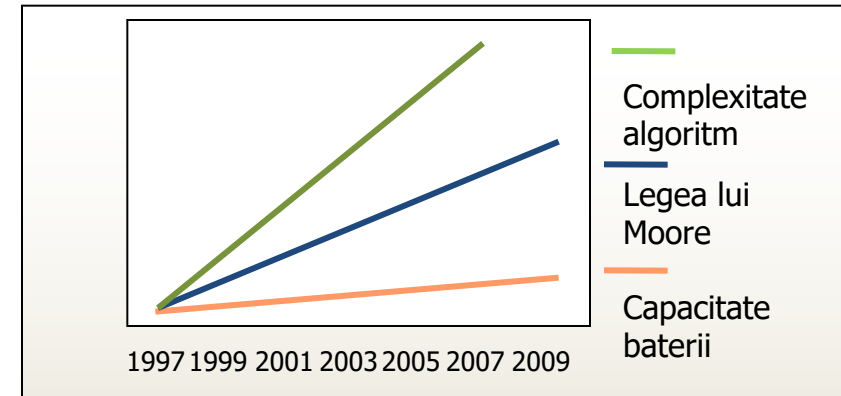


# De ce avem nevoie de reconfigurabilitate?

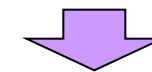
- Densitatea foarte mare a tranzistoarelor în circuitele moderne
- Costuri sporite de integrare



Se dorește  
performanță  
și flexibilitate

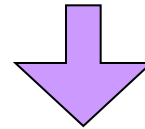


- Limitări puternice a capacităților bateriilor
- Complexitate crescută a algoritmilor

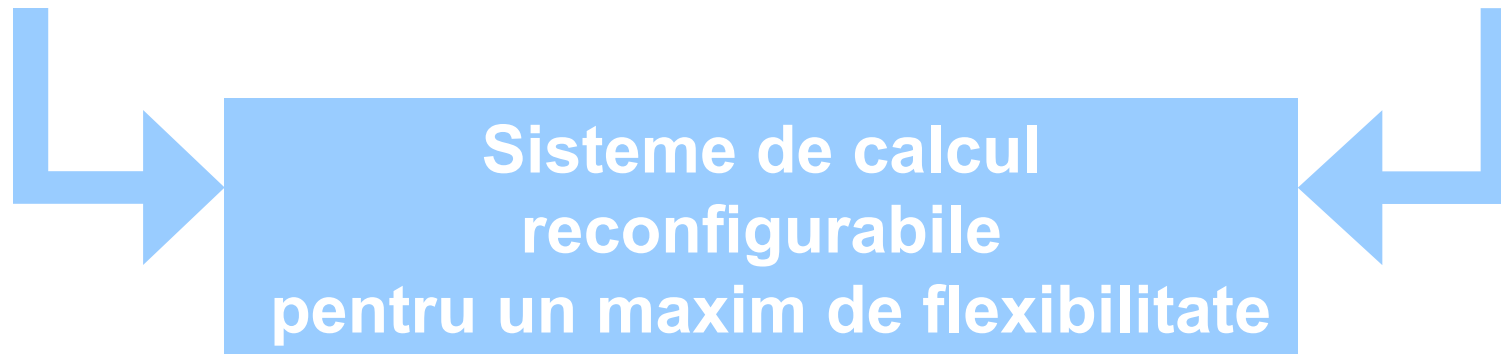


Constrângeri severe  
pentru consumul de  
energie

- **80% din complexitatea unui algoritm este concentrată în porțiuni bine definite ce constituie o parte foarte mică din codul total**
- **Mulți algoritmi au porțiuni de cod care pot fi paralelizate**
  - ✓ Performanța este îmbunătățită prin folosirea căilor paralele de date
- **Granularitatea operanzilor este de obicei destul de diferită de 32 de biți**
  - ✓ Un UAL tradițional este ineficient (consumă prea multă energie)

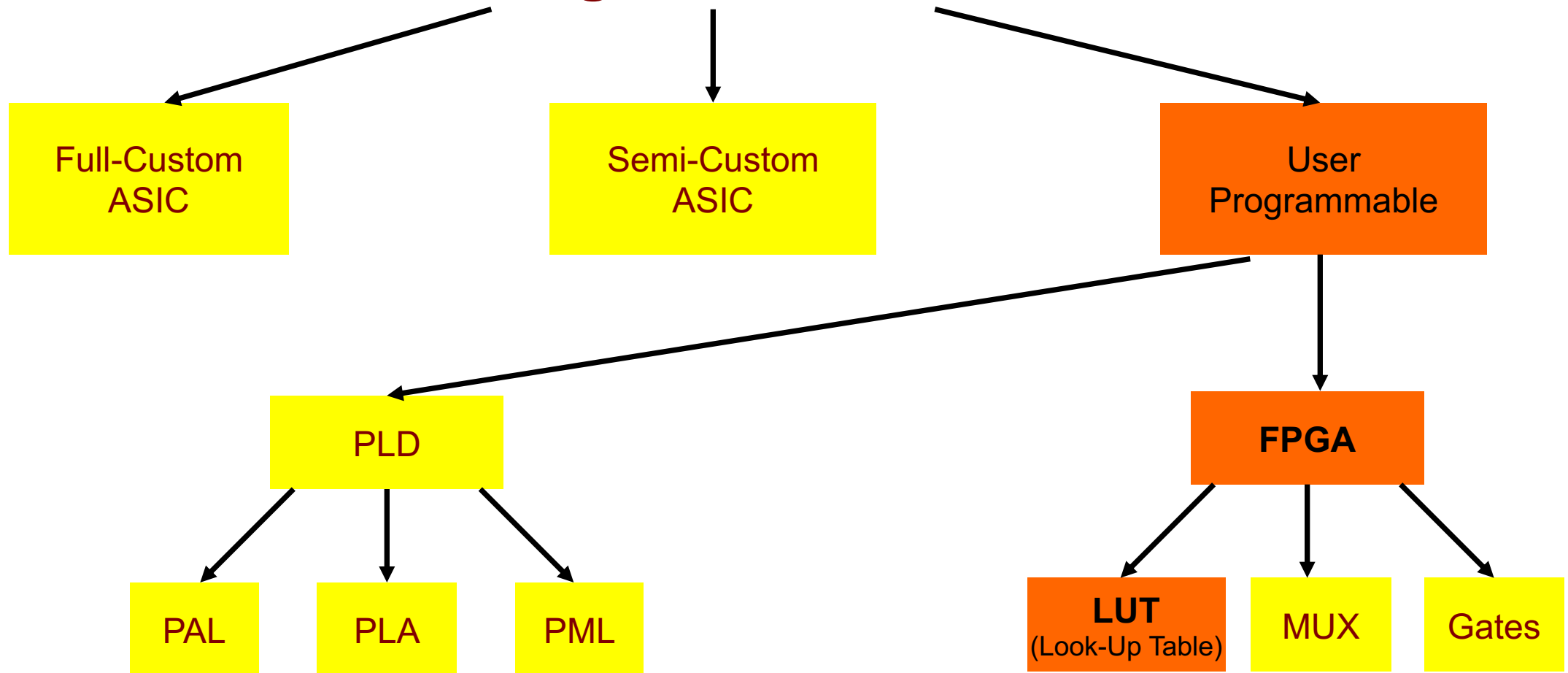


Se pot obține îmbunătățiri semnificative dacă funcționalitatea procesoarelor embedded este extinsă cu funcții specifice aplicației



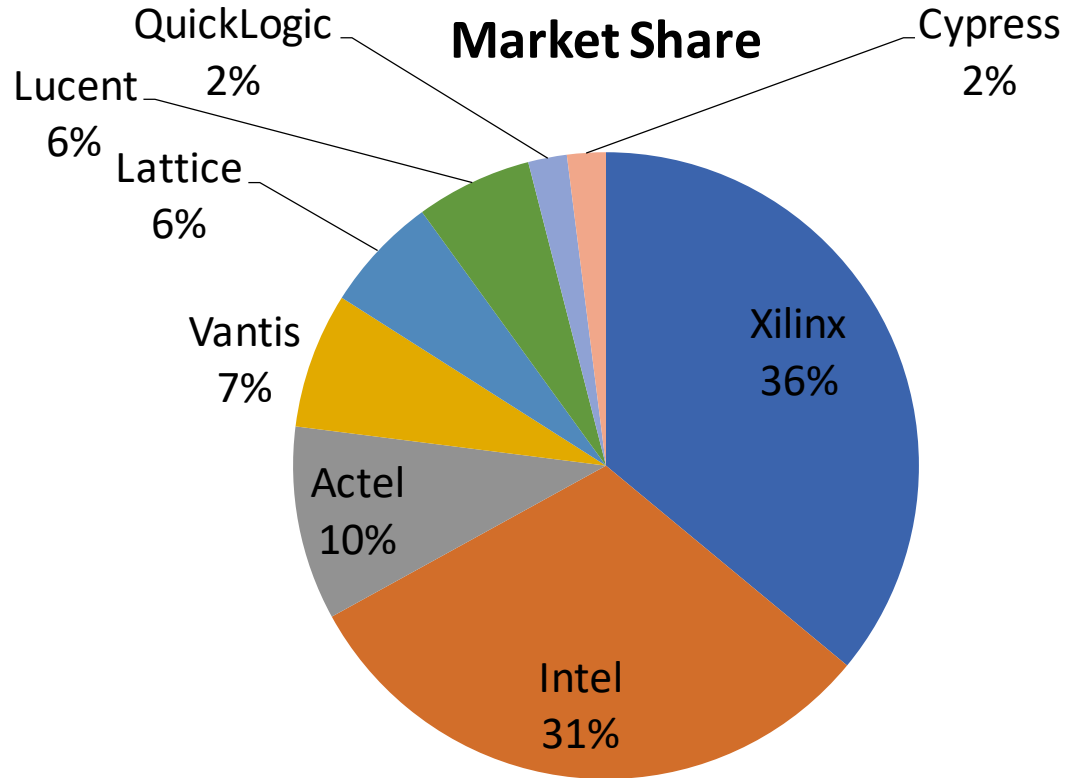
# Tipuri de circuite integrate

## Integrated Circuits

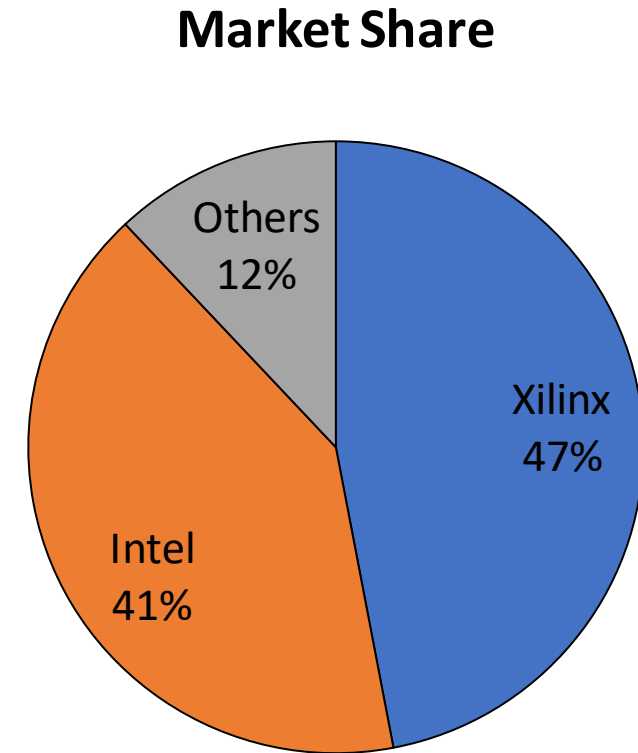


# Piața de circuite reconfigurabile

## PLD Segment



## FPGA Sub-Segment



Doi producători majori – piață ajunsă la maturitate

# Două implementări concurente

## ASIC

Application Specific  
Integrated Circuit

- Un design trebuie trimis pentru **fabricare** într-un **fab** de semiconductoare.
- Procesul durează timp și este foarte costisitor.
- Sunt proiectate complet, de la descrierea comportamentală până la layout-ul fizic

## FPGA

Field Programmable  
Gate Array

- Reconfigurat de fiecare dată de către proiectanți
- Nu se proiectează un layout fizic al componentelor.
- Proiectarea are ca rezultat un **bitstream** cu care se configurează dispozitivul.

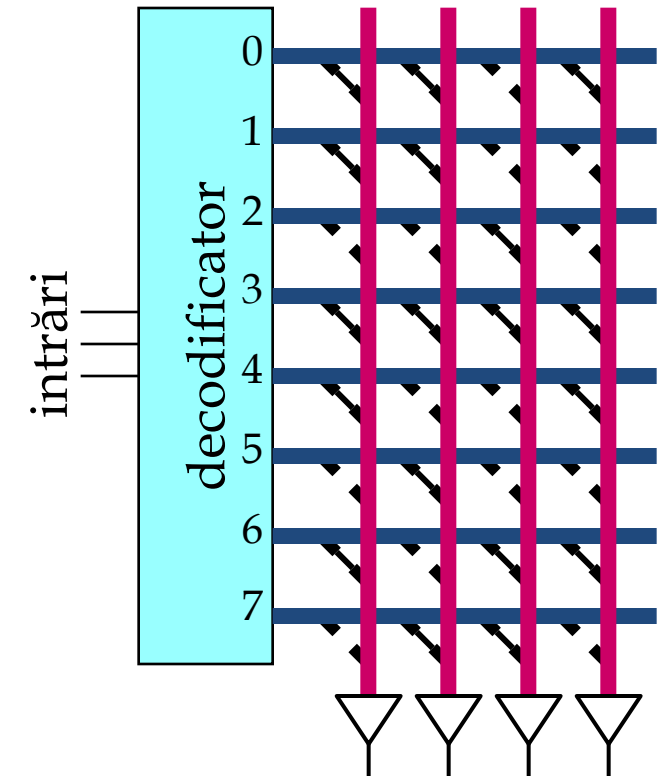
# Programmable Logic Device (PLD)

- Sunt matrici simple de circuite logice
  - Implementează funcții logice pe două niveluri (AND/OR)
  - Au o structură simplă de interconectare programabilă
  - Sunt de mai multe tipuri
    - Read Only Memory (ROM și PROM)
    - Programmable Logic Array (PLA)
    - Programmable Array Logic (PAL)
- Field Programmable Gate Arrays (FPGA)
  - Multe copii ale aceleiași structuri configurabile de bază
  - Fiecare bloc poate fi configurat pentru a îndeplini orice funcție logică și include de obicei un flip-flop și un generator de funcții cu 4 intrări
  - Interconectare programabilă
  - Blocuri de memorie SRAM
  - Un FPGA mare are de obicei 100k+ circuite flip-flop, 100k generatoare de funcții și 10Mb SRAM



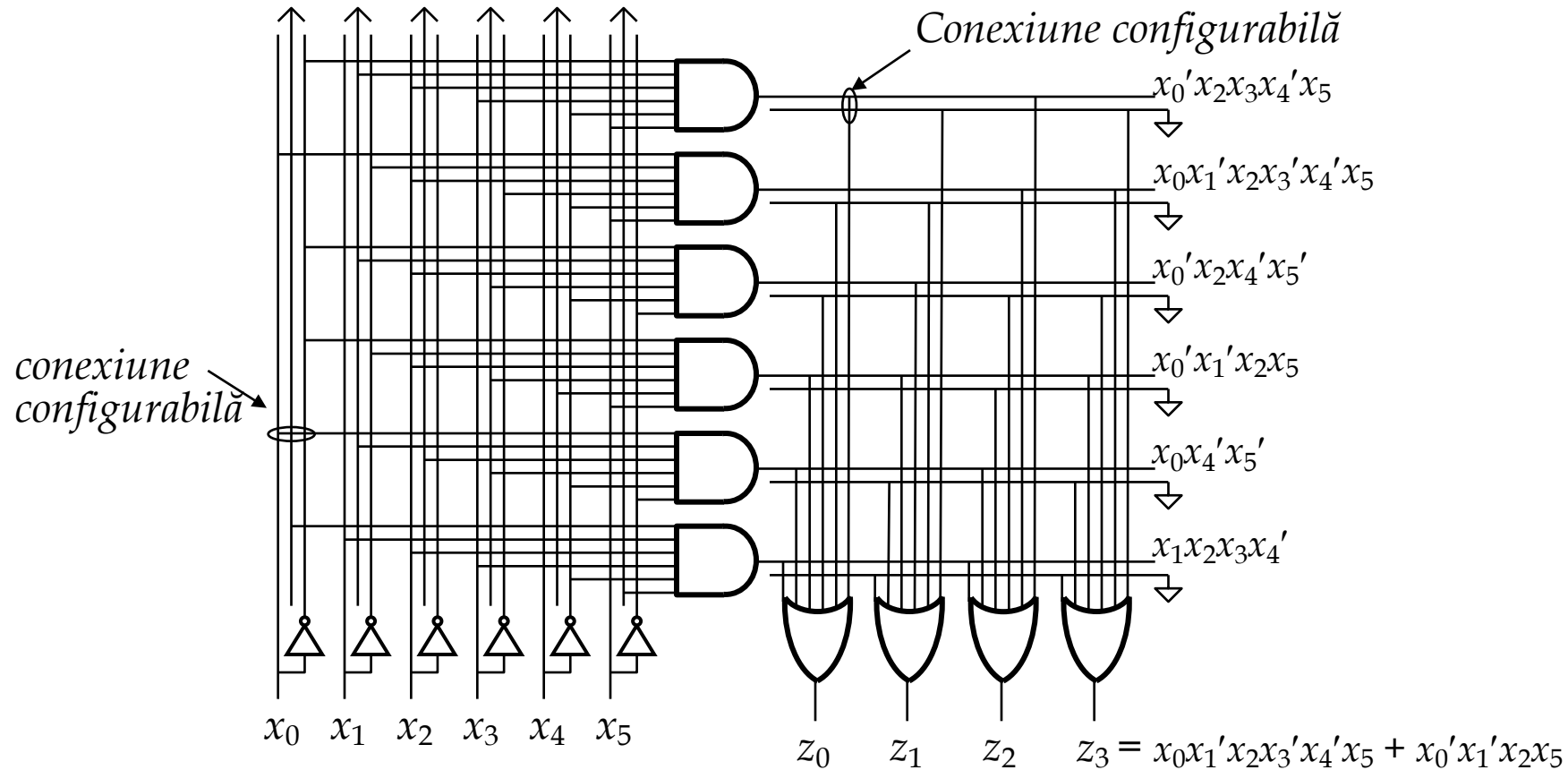
# Implementarea unei memorii ROM

- ROM poate fi implementată printr-un aranjament ortogonal de conexiuni
  - Conexiune la fiecare intersecție = 1 logic
  - Decodificatorul pune 1 logic pe linia selectată iar dacă conexiunea este făcută, la ieșire se poate citi un octet de date
- Unele PROM-uri sunt scrise prin eliminarea conexiunilor
  - Tensiune mare aplicată pe linia și coloana pe care se vrea marcarea unui 0 logic
  - Curentul mare aplicat legăturii linie-coloană determină “arderea” legăturii
- Alte memorii pot fi arse și reprogramate (EPROM, EEPROM)



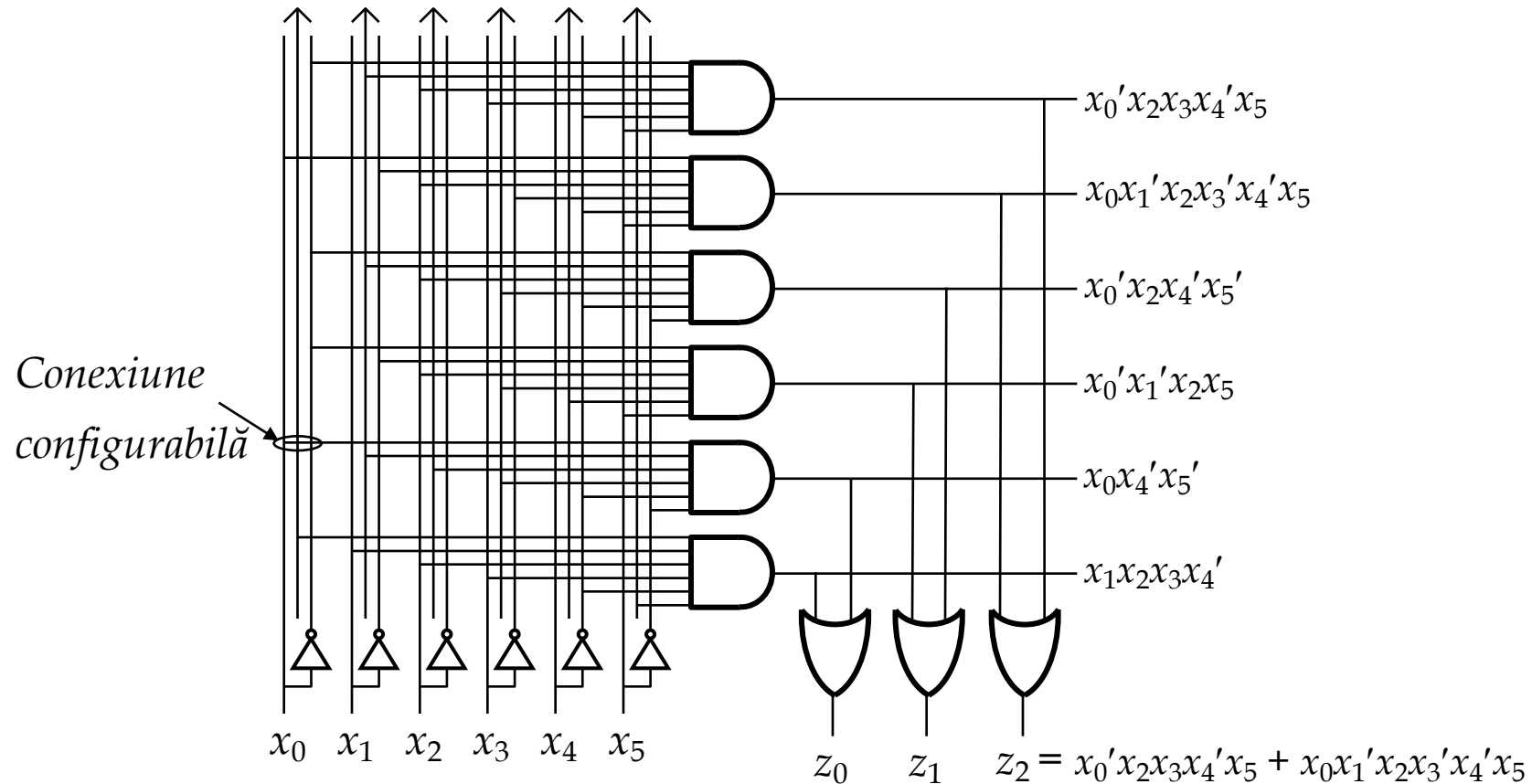
- Orice memorie RAM poate implementa funcții logice reconfigurabile
  - Stochează tabela de adevăr a funcției logice în memorie
  - Exemplu: folosesc RAM de 4 biți pentru a simula o poartă ȘI cu două intrări stocând 0 la adresele 00, 01 și 10 și 1 la adresa 11
  - cu  $2^m$  cuvinte de 1 bit se poate implementa orice funcție de  $m$  intrări
  - O memorie cu  $2^m$  cuvinte de  $w$  biți lățime poate implementa  $w$  funcții logice diferite cu  $m$  intrări
- Memoriile ROM sau EEPROM pot implementa aceleași funcții logice dar cu anumite avantaje:
  - Memoria este nevolatilă
  - Datele sunt stocate la programare și pot fi reconfigurate printr-un update de firmware
  - Densitate mai mare decât memoria RAM

# Programmable Logic Array (PLA)



- PLA-urile au un plan ȘI și un plan SAU
- Pot să implementeze orice circuit de două niveluri (SAU/ȘI)
- Implementate în CMOS.

# Programmable Array Logic (PAL)



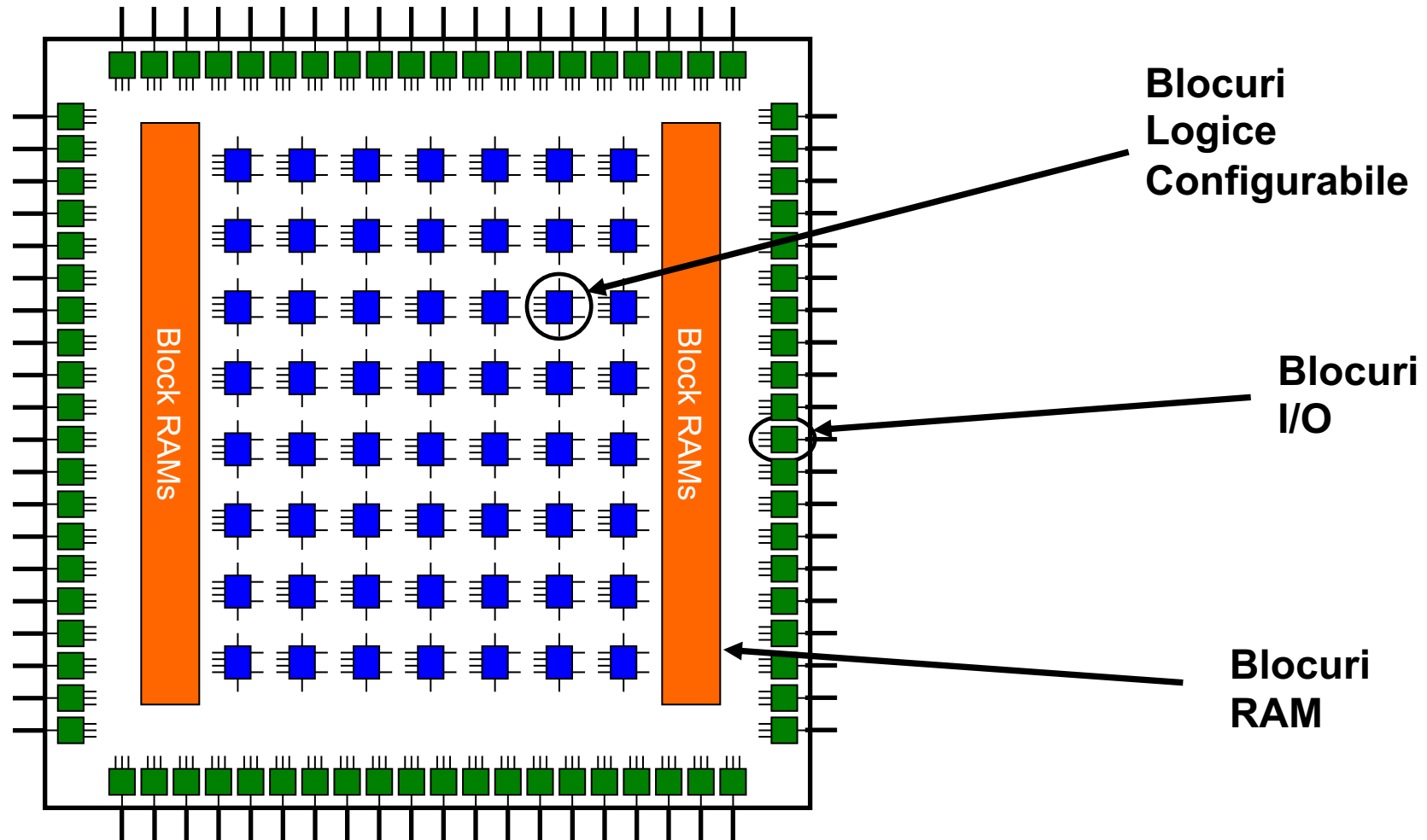
- PAL este similar cu PLA dar are un plan SAU fix.
- Mai ușor de programat (și mai ieftin de produs)
- Dezavantaj: număr limitat de termeni generați la ieșire

# Field Programmable Gate Array (FPGA)

---

- Circuitele FPGA sunt folosite pentru generarea circuitelor logice complexe.
- Un cip conține un număr foarte mare (zeci de mii) de blocuri logice configurabile.
  - Programele de tip CAD mapează circuitele de nivel înalt peste matricea de blocuri de bază prin configurarea generatoarelor de funcții, interconexiunilor și altor elemente configurabile
- Blocurile logice sunt rutate folosind interconexiuni programabile
  - Segmentele sunt conectate la blocurile logice și la alte segmente învecinate prin switch-uri configurabile
  - Programele CAD determină configurația optimă pentru toate switch-urile folosite.

# Ce este un FPGA?



# Care sunt opțiunile?

## ASIC

Performanță mare

Low power

Cost scăzut  
în volume mari

## FPGA

Off-the-shelf

Costuri scăzute  
de dezvoltare

Time to market scurt

Reconfigurabilitate



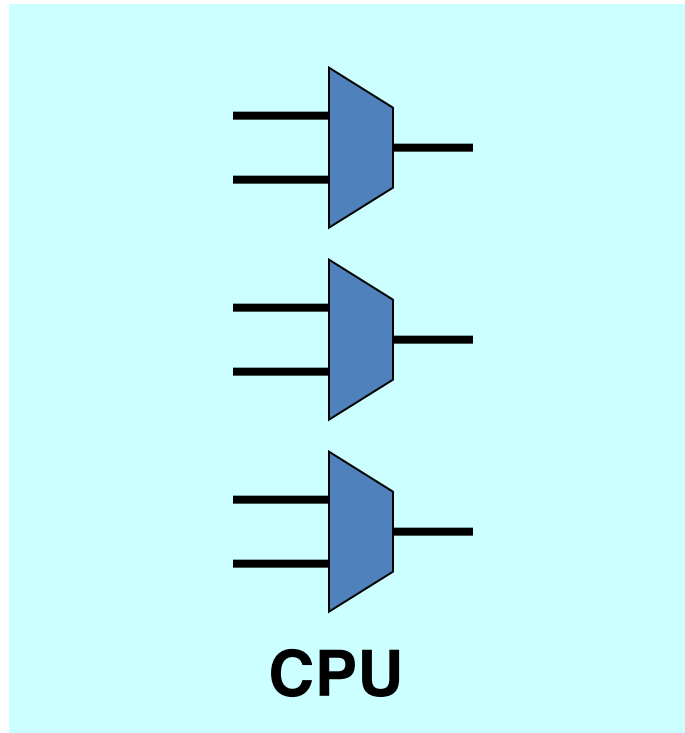
# Alte avantaje FPGA

---

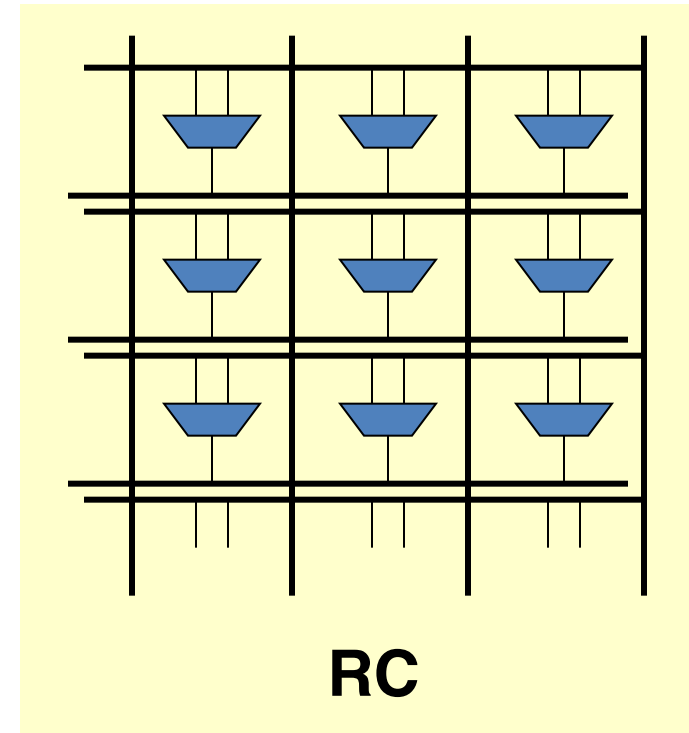
- Ciclul de fabricație al unui ASIC este foarte costisitor, lung și necesită proiectanți din mai multe domenii
  - Greșelile care nu sunt detectate la proiectare au un impact foarte mare asupra asupra costurilor și a timpului de dezvoltare
- FPGA-urile sunt perfecte pentru prototiparea rapidă a unui circuit digital
- Se pot face upgrade-uri foarte ușor, ca și cum ar fi în cazul unui software
- Domenii unice de aplicații
  - Sisteme reconfigurabile



Fixă



“Fără limite”



## FPGA SRAM

- Xilinx, Inc.
  - Intel
  - Lattice Semiconductor
  - Microsemi
- } Aproape toată piața

## FPGA Flash

- Microchip
- Quick Logic Corp.

# Familii de FPGA Xilinx

- Spartan®-6 FPGAs for I/O optimization
- Spartan-7 FPGAs for I/O optimization with the highest performance-per-watt
- Virtex® UltraScale+™ devices provide the highest performance and integration capabilities in a 14nm/16nm FinFET node.
- Kintex® UltraScale+™ devices provide the best price/performance/watt balance in a FinFET node, delivering a cost-effective solution for applications that require high-end capabilities including 33Gb/s transceivers and 100G connectivity cores.
- Artix®-7 FPGAs for transceiver optimization and highest DSP bandwidth
- Zynq®-7000 adaptive SoCs for system optimization with scalable processor integration
- Artix UltraScale+™ FPGAs for high I/O bandwidth and DSP compute

SPARTAN<sup>7</sup> ARTIX<sup>7</sup> ZYNQ<sup>7</sup>




# 7-Series, Familii FPGA Xilinx


	ARTIX <sup>7</sup>	KINTEX <sup>7</sup>	VIRTEX <sup>7</sup>	ZYNQ
Maximum Capability	Lowest Power and Cost	Industry's Best Price/Performance	Industry's Highest System Performance	Extensible Processing Platform
Logic Cells	20K – 355K	70K – 480K	285K – 2,000K	30K – 350K
Block RAM	12 Mb	34 Mb	65 Mb	240KB – 2180KB
DSP Slices	40 – 700	240 – 1,920	700 – 3,960	80 – 900
Peak DSP Perf.	504 GMACS	2,450 GMACS	5,053 GMACS	1080 GMACS
Transceivers	4	32	88	16
Transceiver Performance	3.75Gbps	6.6Gbps and 12.5Gbps	12.5Gbps, 13.1Gbps and 28Gbps	6.6Gbps and 12.5Gbps
Memory Performance	1066Mbps	1866Mbps	1866Mbps	1333Mbps
I/O Pins	450	500	1,200	372
I/O Voltages	3.3V and below	3.3V and below 1.8V and below	3.3V and below 1.8V and below	3.3V and below 1.8V and below

# Elemente comune – 7-series


- Common elements enable easy IP reuse for quick design portability across all 7-series families
  - Design scalability from low-cost to high-performance
  - Expanded eco-system support
  - Quickest time to market

 **Logic Fabric**  
LUT-6 CLB

 **Precise, Low Jitter Clocking**  
MMCMs

 **On-Chip Memory**  
36Kbit/18Kbit Block RAM

 **Enhanced Connectivity**  
PCIe® Interface Blocks

 **DSP Engines**  
DSP48E1 Slices

 **Hi-perf. Parallel I/O Connectivity**  
SelectIO™ Technology

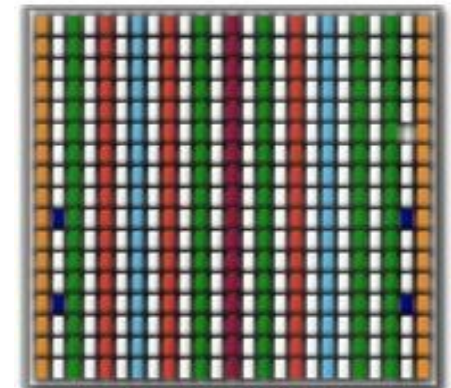
 **Hi-performance Serial I/O Connectivity**  
Transceiver Technology



Artix-7 FPGA

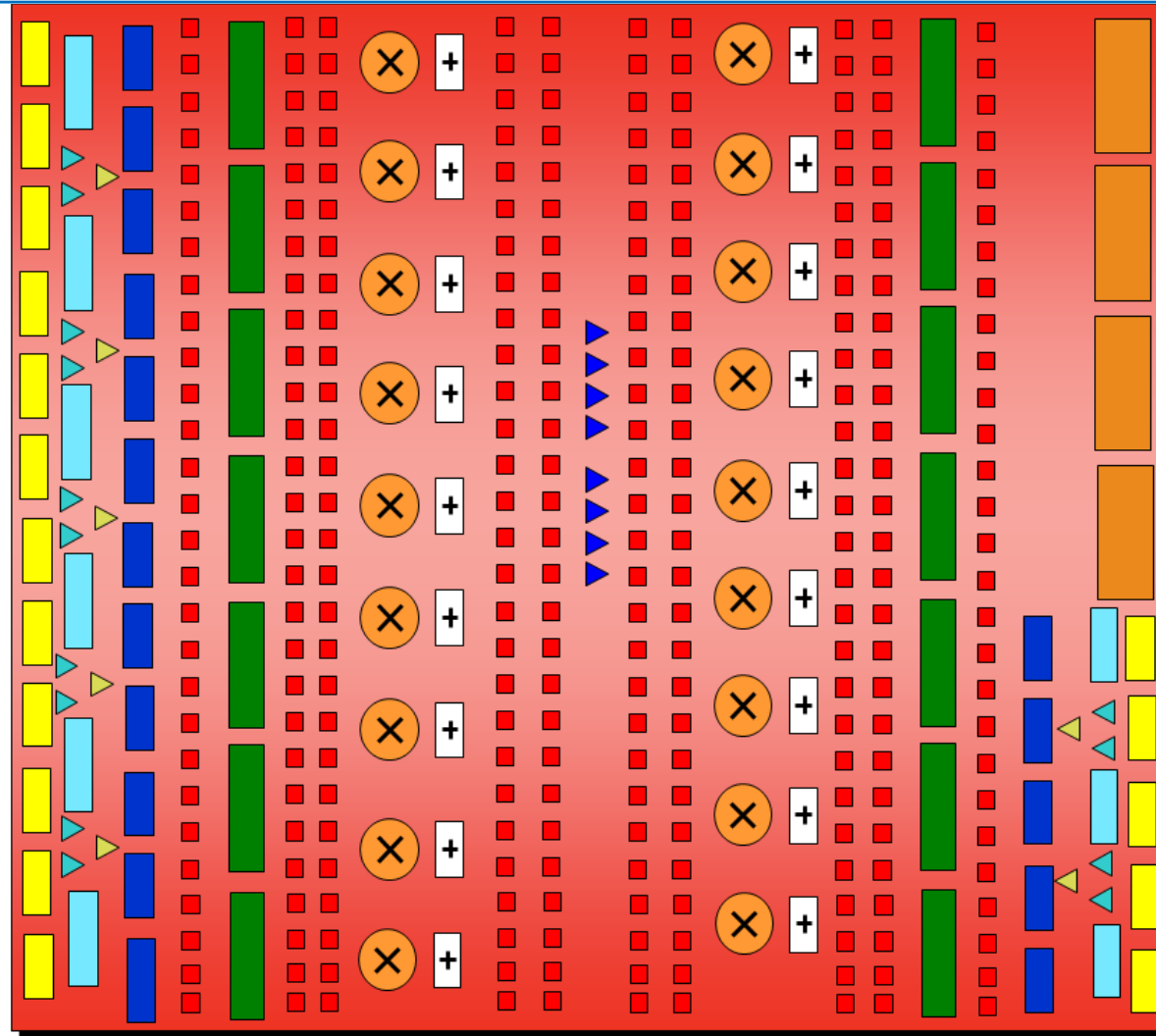
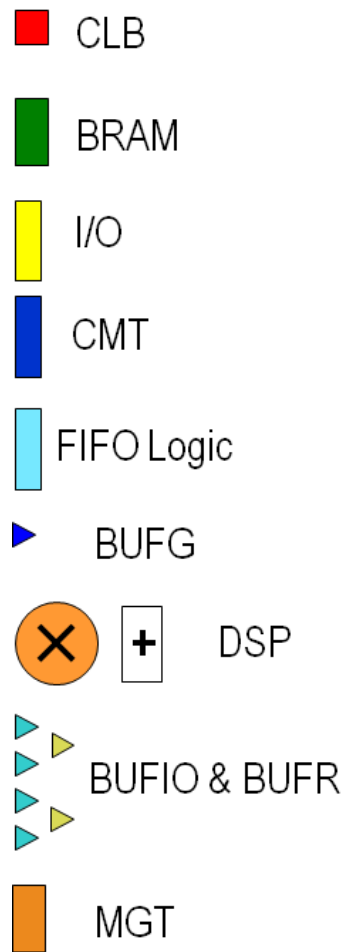


Kintex-7 FPGA



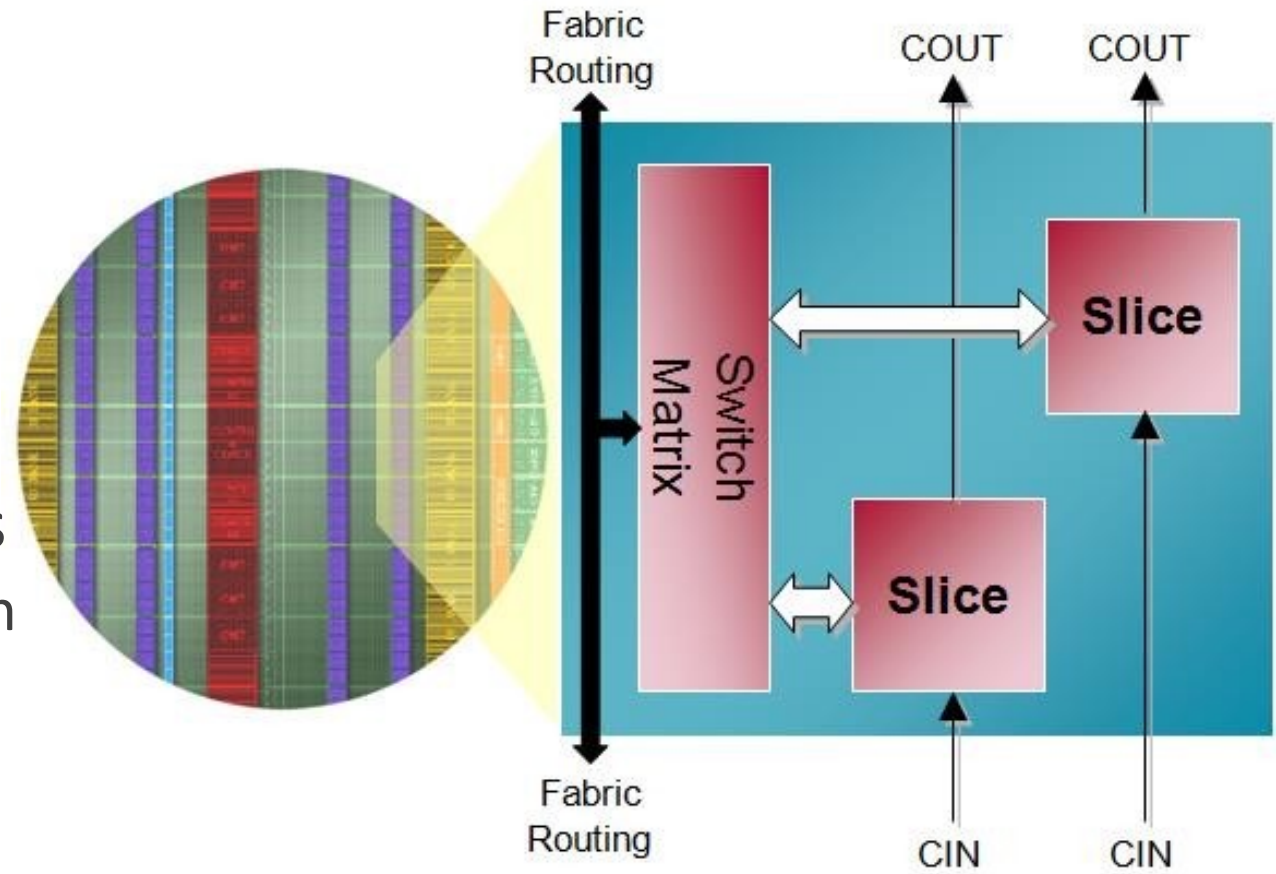
Virtex-7 FPGA

# Exemplu – Artix 7



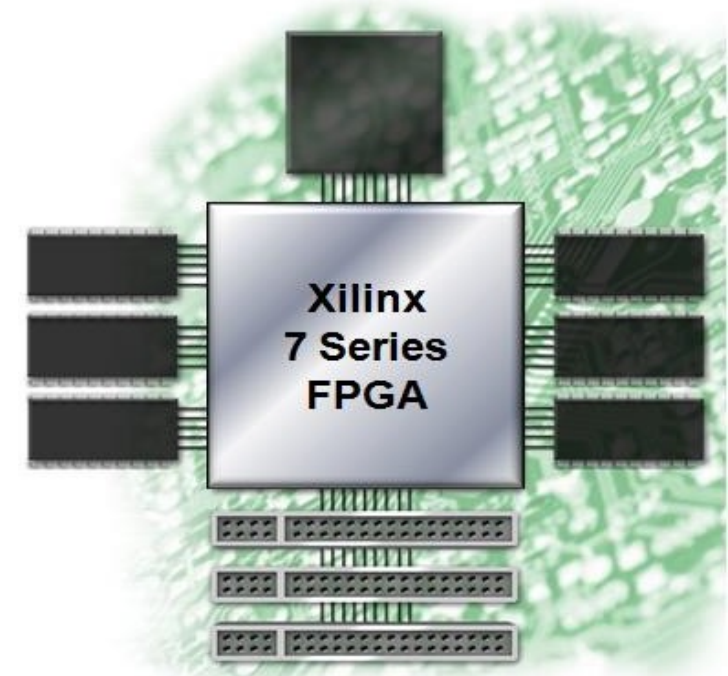


- Primary resource for design
  - Combinatorial functions
  - Flip-flops
- CLB contains two slices
- Connected to switch matrix for routing to other FPGA resources
  - Carry chain runs vertically in a column from one slice to the one above



# 7-Series IO

- Wide range of voltages
  - 1.2V to 3.3V operation
- Many different I/O standards
  - Single ended and differential
  - Referenced inputs
  - 3-state support
- Very high performance
  - Up to 1600 Mbps LVDS
  - Up to 1866 Mbps single-ended for DDR3
- Easy interfacing to standard memories
  - Hardware support for QDRII+ and DDR3
- Digitally controlled impedance
- Low power



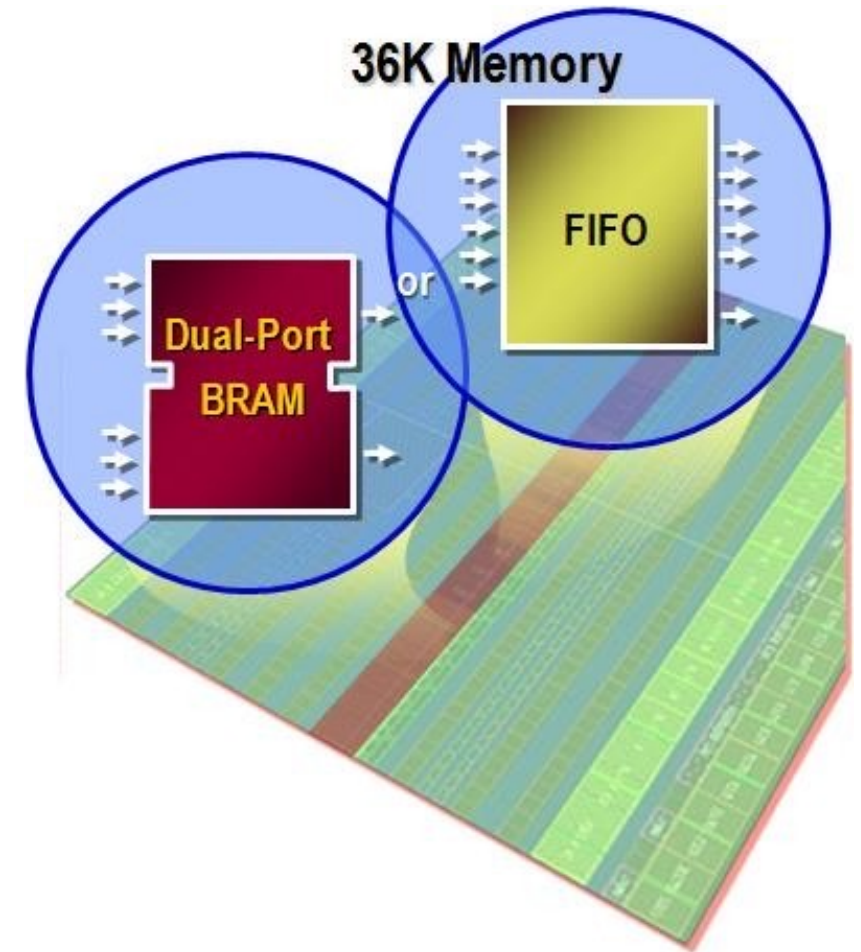


- Two different types of I/O in 7-series FPGAs
  - **High Range (HR)**
    - Supports I/O standards with Vcco voltages up to 3.3V
  - **High Performance (HP)**
    - Supports I/O standards with Vcco voltages up to 1.8V *only*
    - Designed for the highest performance
    - Has ODELAY and DCI capability

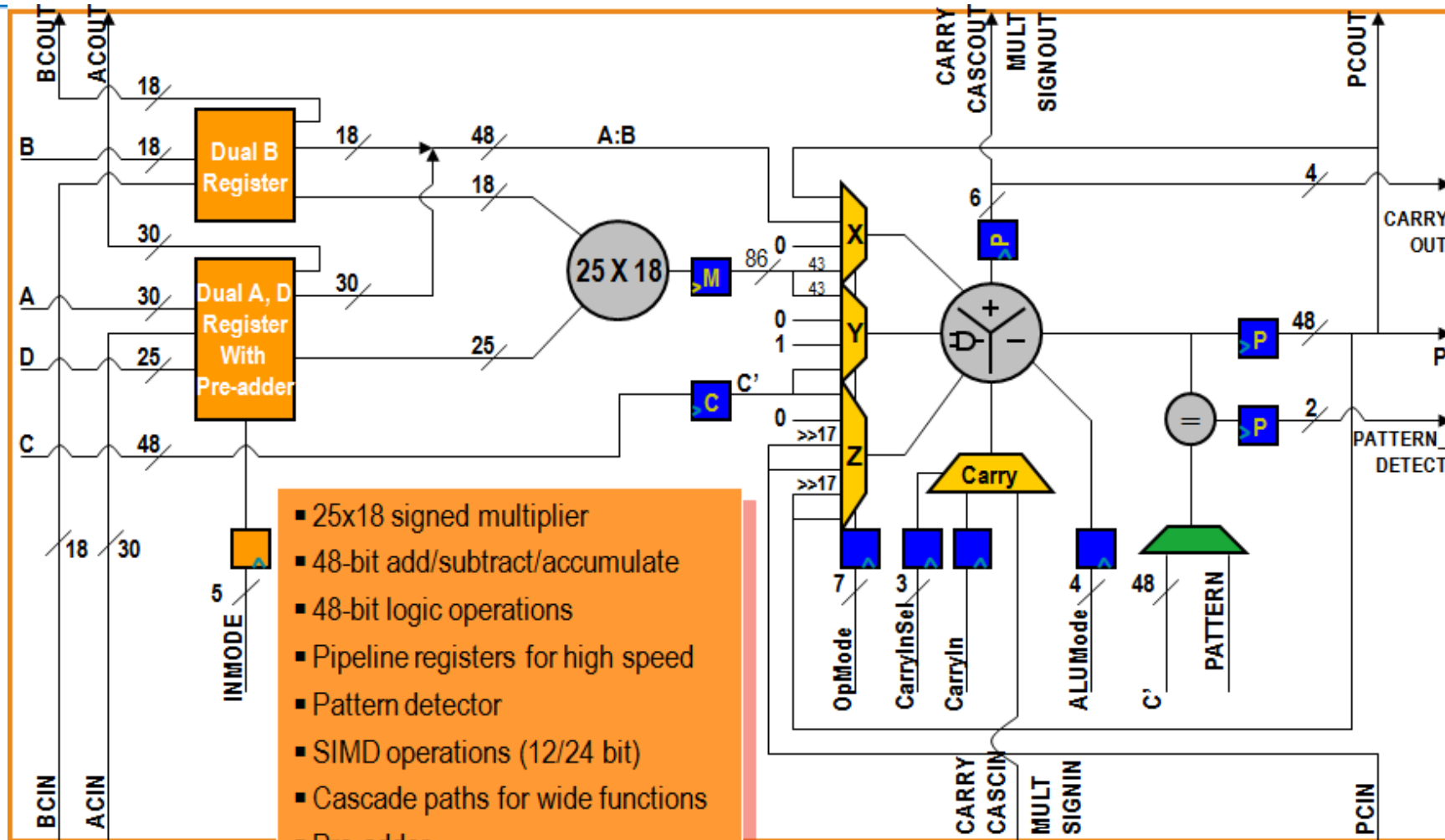
I/O Type	Artix-7 Family	Kintex-7 Family	Virtex-7 Family	Virtex-7 XT/HT/ Family
High Range	All	Most Some		
High Performance		Some	Most	All

# Block RAM & FIFO

- All members of the 7-series families have the same Block RAM/FIFO
  - All operations are synchronous; all outputs are latched
- Fully synchronous operation
  - All operations are synchronous; all outputs are latched
- Optional internal pipeline register for higher frequency operation
- Two independent ports access common data
  - Individual address, clock, write enable, clock enable
  - Independent data widths for each port
- Multiple configuration options
  - True dual-port, simple dual-port, single-port
- Integrated control for fast and efficient FIFOs



# 7-Series DSP Slice

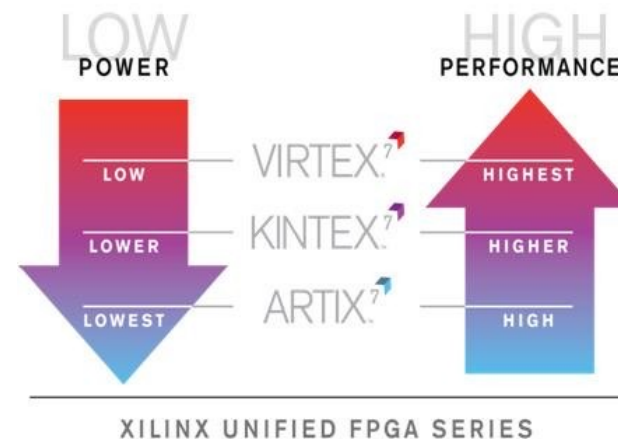


- 25x18 signed multiplier
- 48-bit add/subtract/accumulate
- 48-bit logic operations
- Pipeline registers for high speed
- Pattern detector
- SIMD operations (12/24 bit)
- Cascade paths for wide functions
- Pre-adder

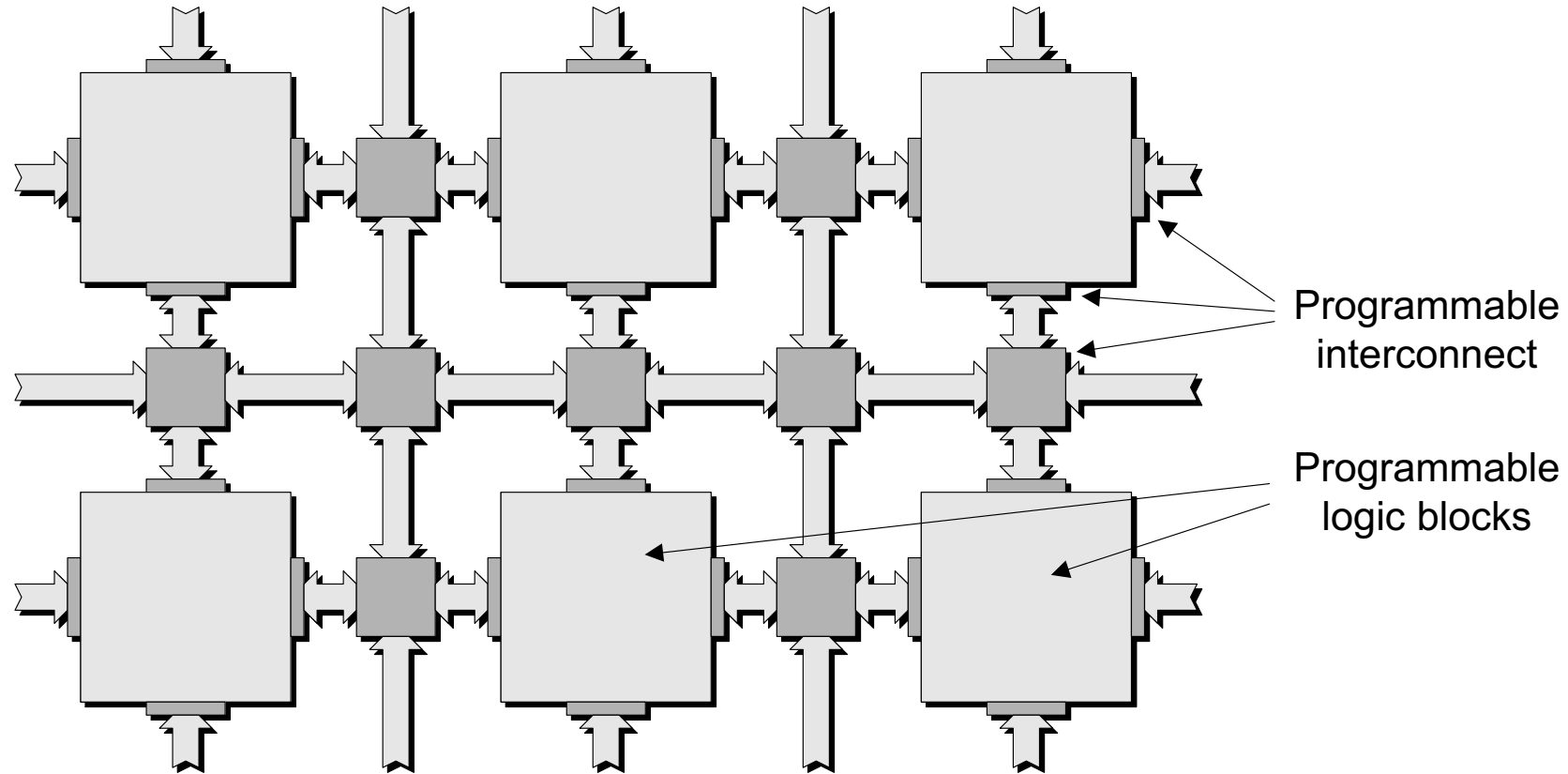
- XADC is a high quality and flexible analog interface new to the 7-series
  - Dual 12-bit 1Msps ADCs, on-chip sensors, 17 flexible analog inputs, and track & holds with programmable signal conditioning
  - 1V input range (unipolar, bipolar and differential)
  - 12-bit resolution conversion
  - Built in digital gain and offset calibration
  - On-chip thermal and Voltage sensors
  - Sample rate of 1 MSPS
- Analog Mixed Signal (AMS)
  - Using the FPGA programmable logic to customize the XADC and replace other external analog functions; for example, linearization, calibration, filtering, and DC balancing to improve data conversion resolution

# 7-Series Price & Performance

- The different families in the 7-series provide solutions to address the different price/performance/power requirements of the FPGA market
  - **Artix™-7** family: Lowest price and power for high volume and consumer applications
    - Battery powered devices, automotive, commercial digital cameras
  - **Kintex™-7** family: Best price/performance
    - Wireless and wired communication, medical, broadcast
  - **Virtex-7** family: Highest performance and capacity
    - High-end wired communication, test and measurement, advanced RADAR, high-performance computing

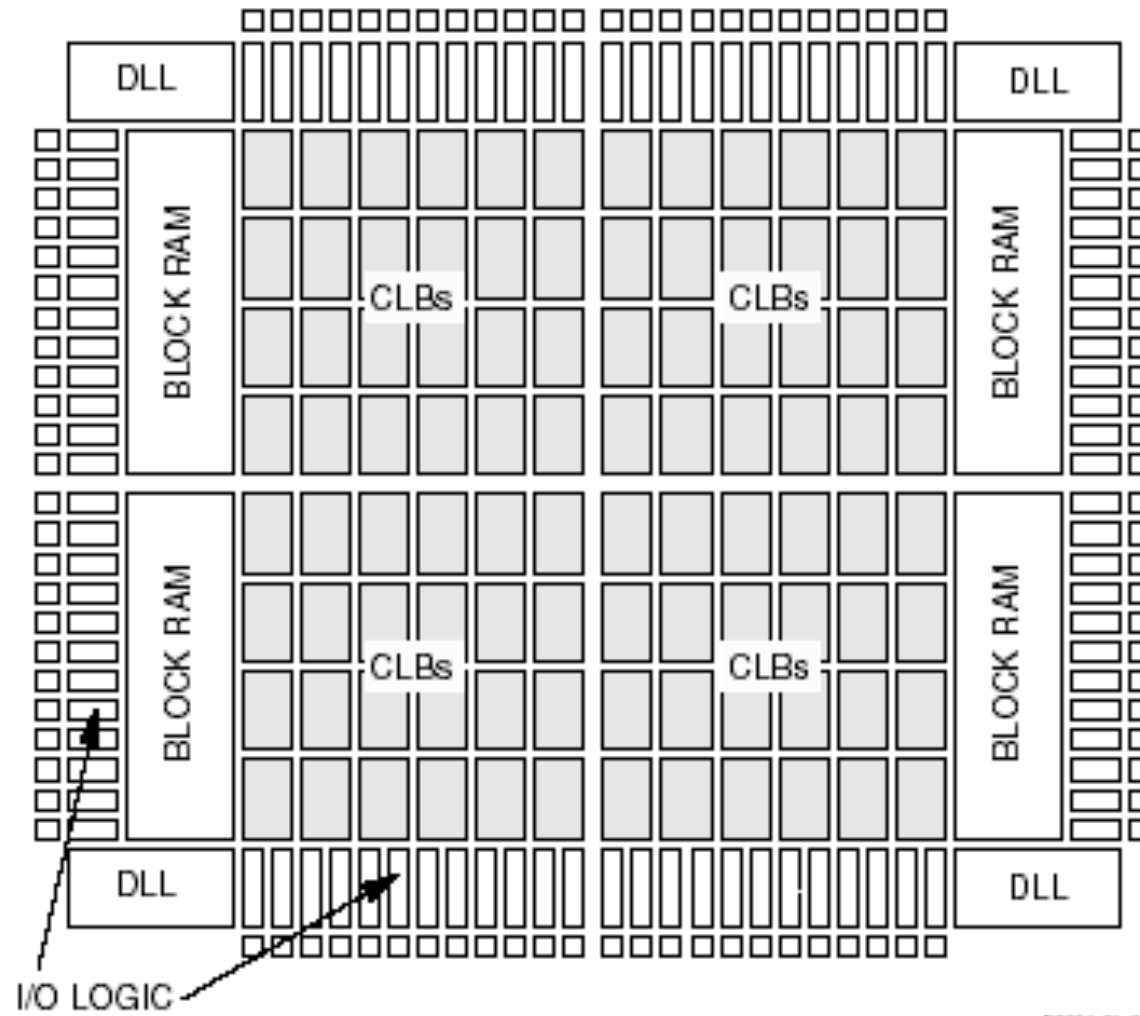


# Structura generală a unui FPGA

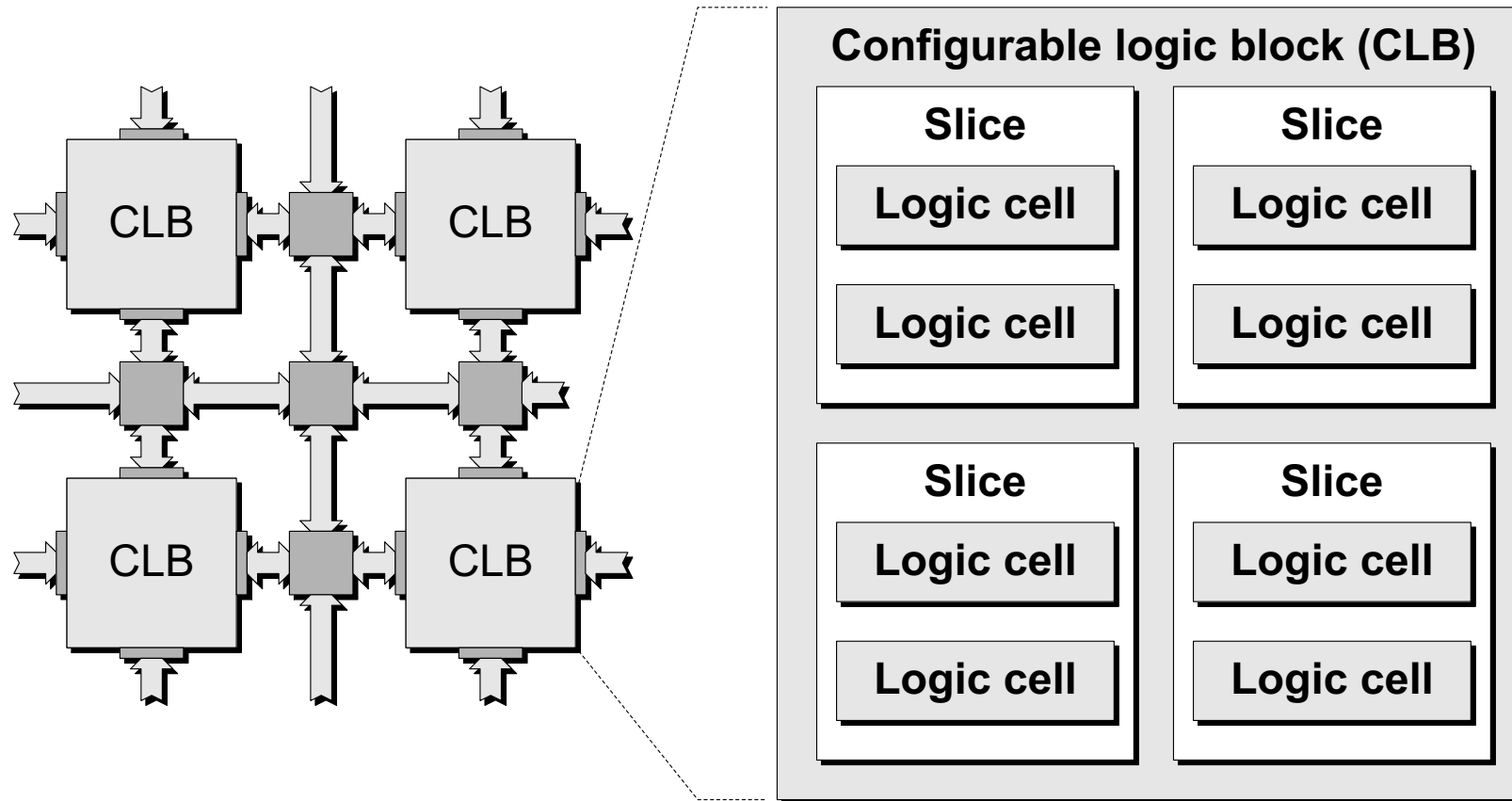


The Design Warrior's Guide to FPGAs  
Devices, Tools, and Flows. ISBN 0750676043  
Copyright © 2004 Mentor Graphics Corp. ([www.mentor.com](http://www.mentor.com))

# Xilinx FPGA Block Diagram



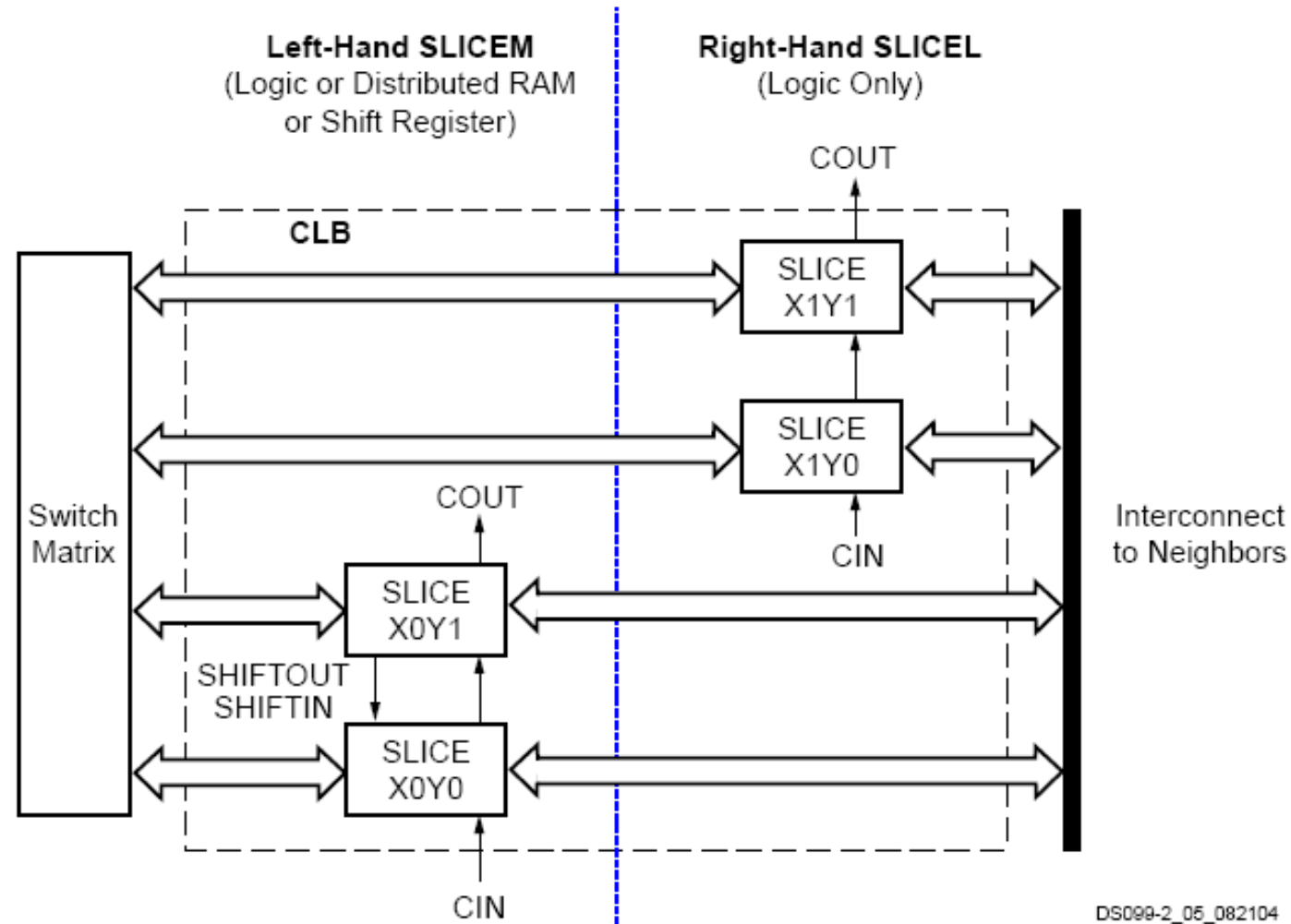
D5001\_01\_0618



The Design Warrior's Guide to FPGAs  
Devices, Tools, and Flows. ISBN 0750676043  
Copyright © 2004 Mentor Graphics Corp. ([www.mentor.com](http://www.mentor.com))

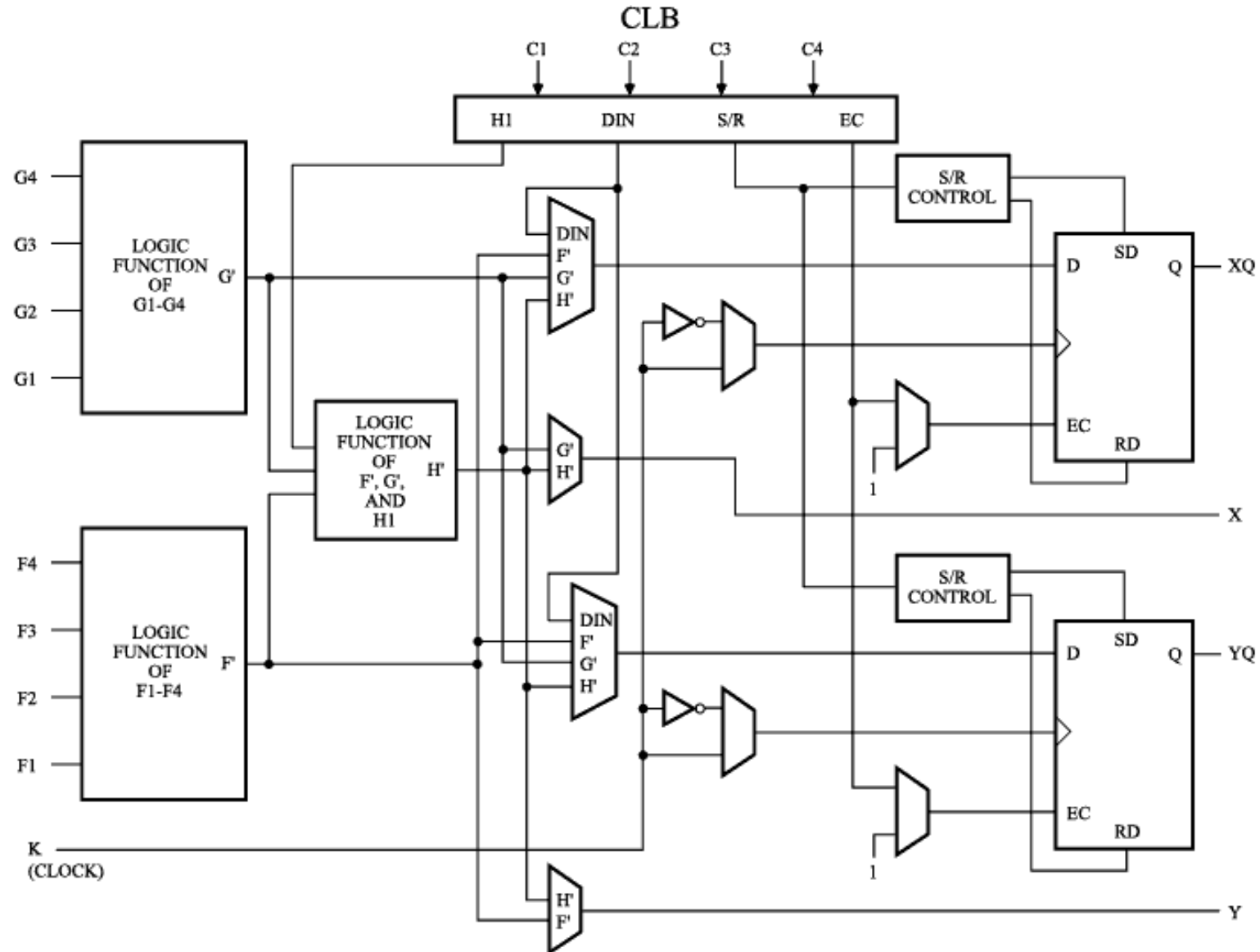


# Configurable Logic Block CLB



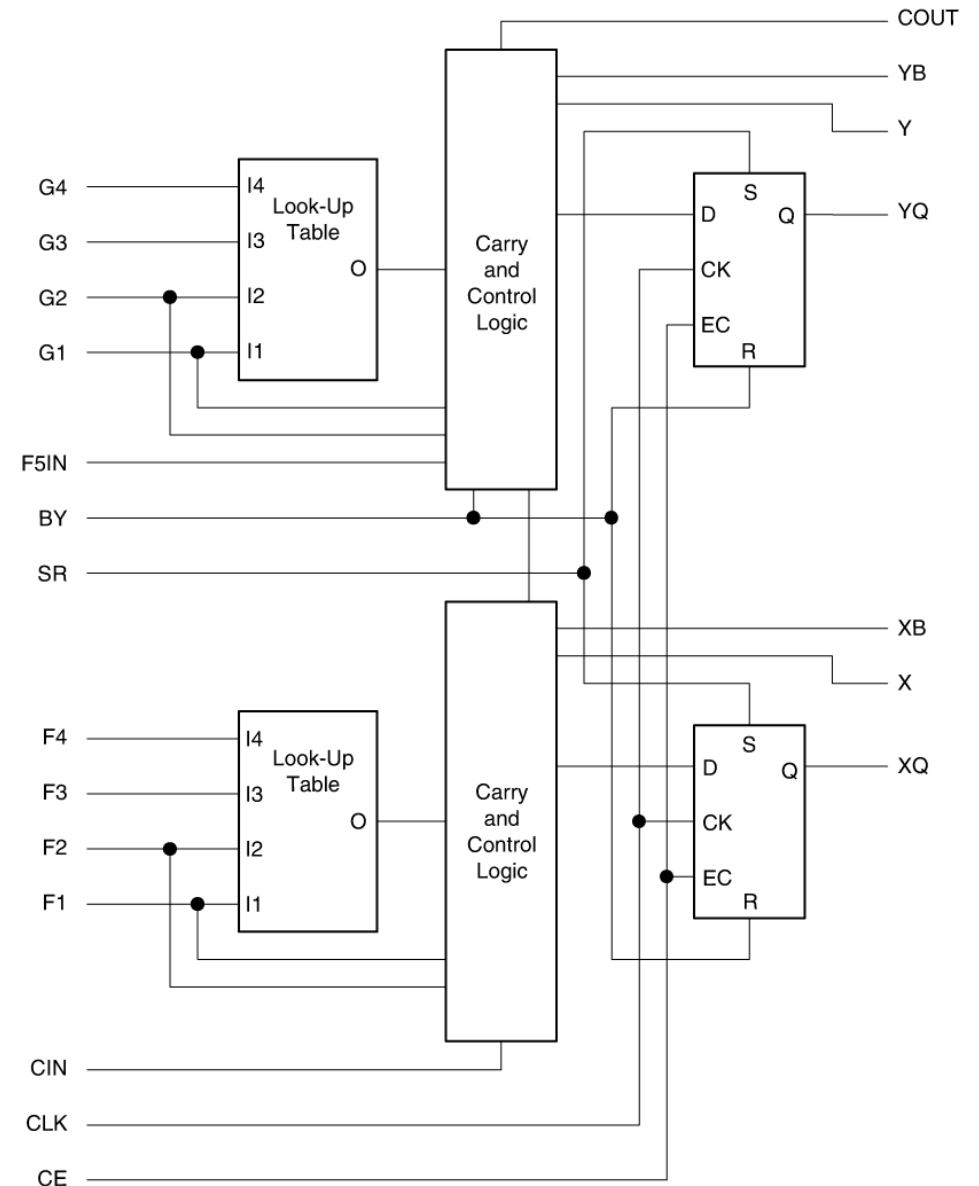
DS099-2\_05\_082104

# CLB Slice



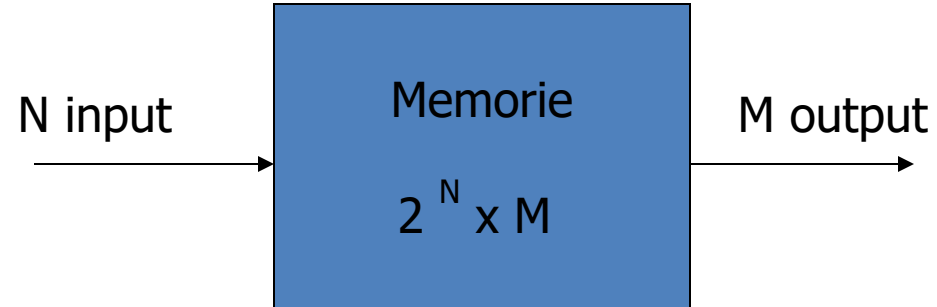
# Structura unui slice CLB

- Fiecare slice conține următoarele:
  - LUT cu patru intrări
    - Orice funcție logică cu 4 intrări,
    - sau RAM 16bit x 1
    - sau Registru Shift pe 16 biți
  - Carry & Control
    - Logică aritmetică rapidă
    - Logică pentru înmulțire
    - Logică de multiplexare
  - Elemente de stocare
    - Latch sau flip-flop
    - Set / reset
    - ieșiri normale sau inversate
    - Control pentru funcționare sincron/asincron



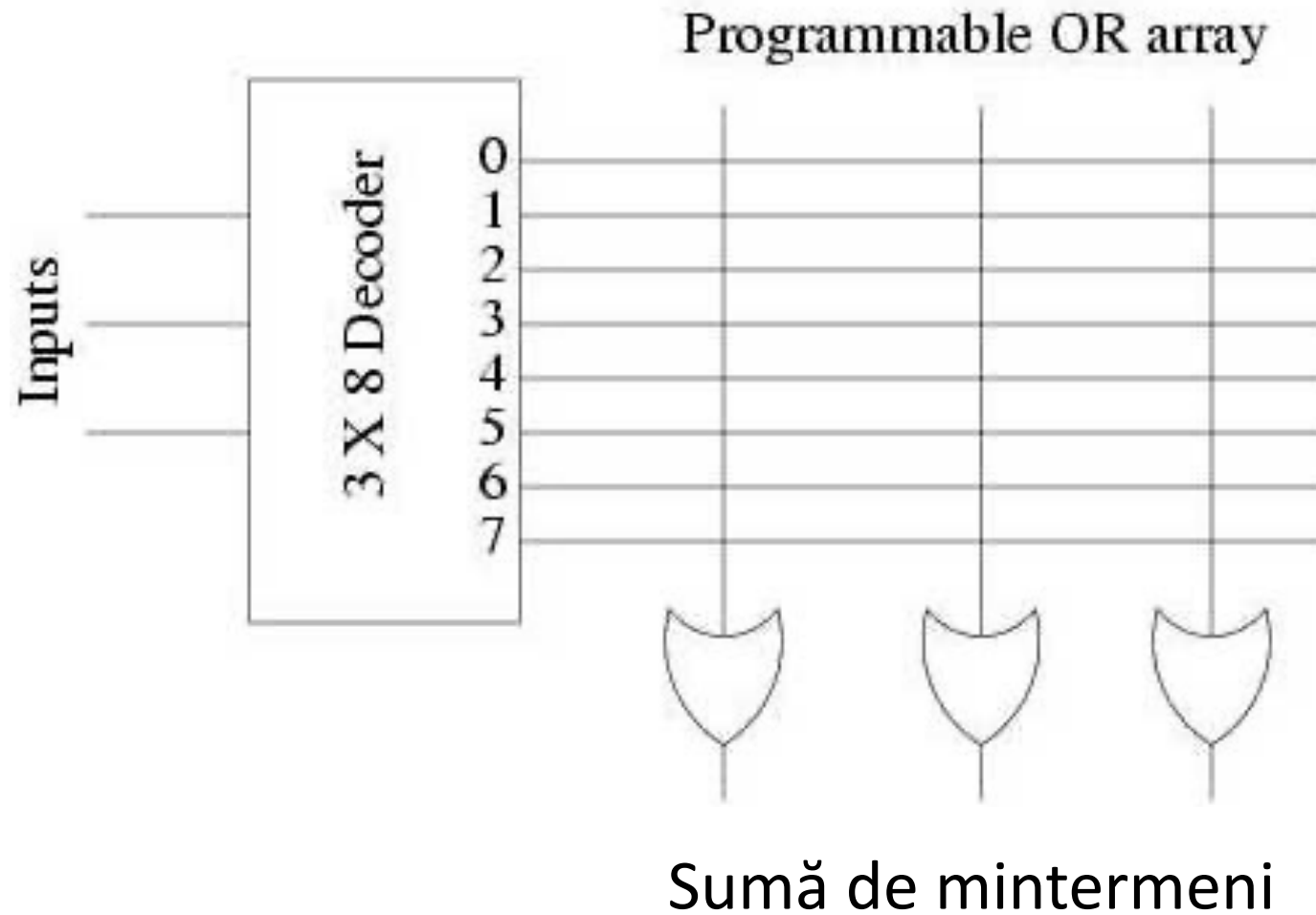
- Implementate folosind Look-up Table (LUT)
- Un LUT cu  $k$  intrări corespunde unei memorii de  $2^k \times 1$  bit
- Un LUT cu  $k$  intrări poate implenta orice funcție logică cu  $k$  intrări și o singură ieșire

# Lookup Table (LUT)



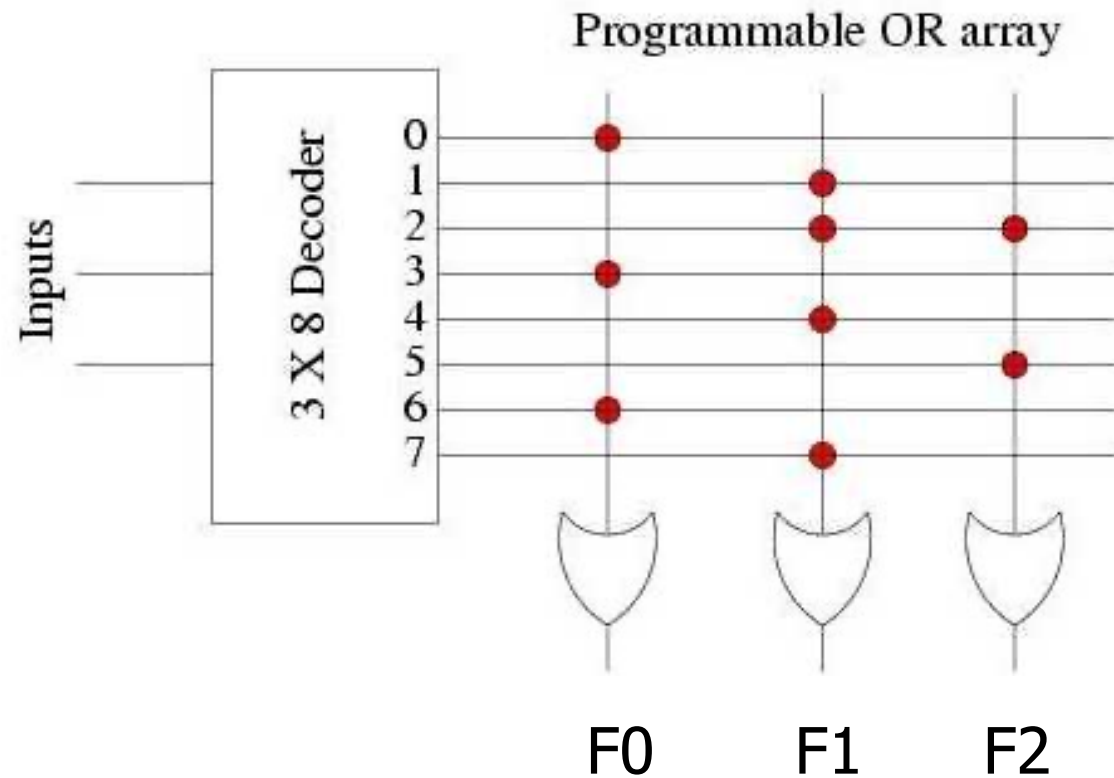
- Adrese: N biți; Ieșire: M biți
- Memoria conține  $2^N$  cuvinte a câte M biți
- Valorile intrărilor decid cuvântul care va fi disponibil la ieșire la un moment dat

# Diagrama logică a unui LUT 8x3



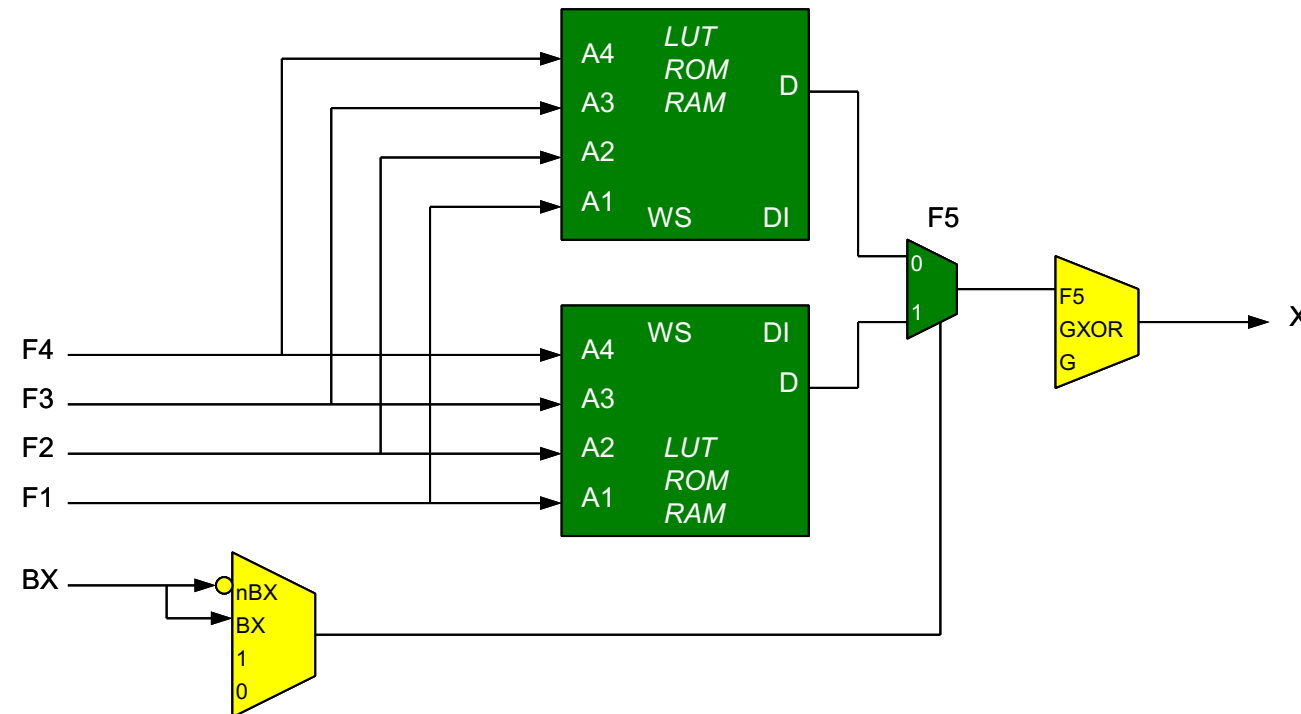
# Implementarea unei funcții logice folosind LUT

I0	I1	I2	F0	F1	F2
0	0	0	1	0	0
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	1	0
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	0	1	0



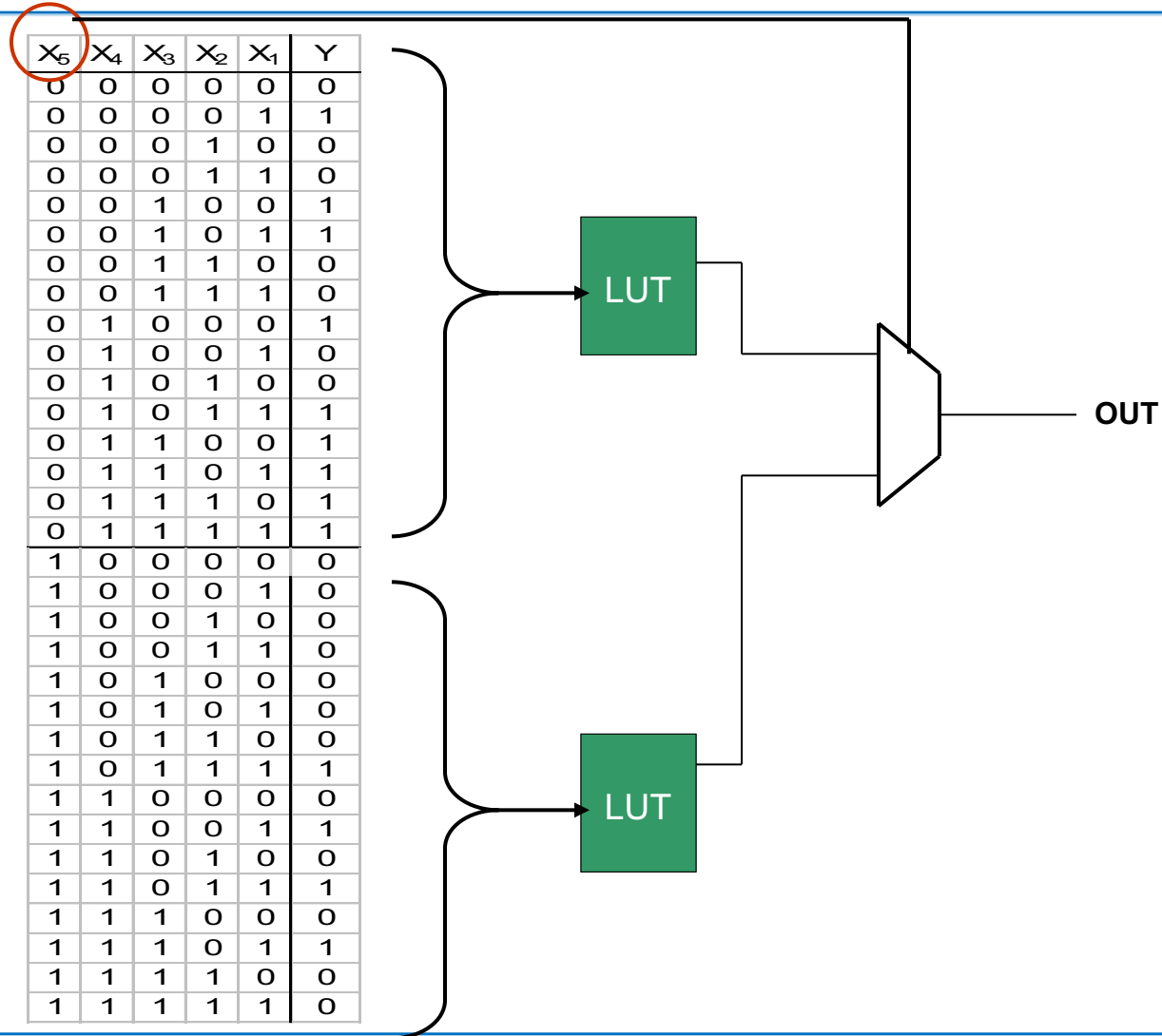
# Implementarea unei funcții logice cu 5 intrări folosind 2 LUT

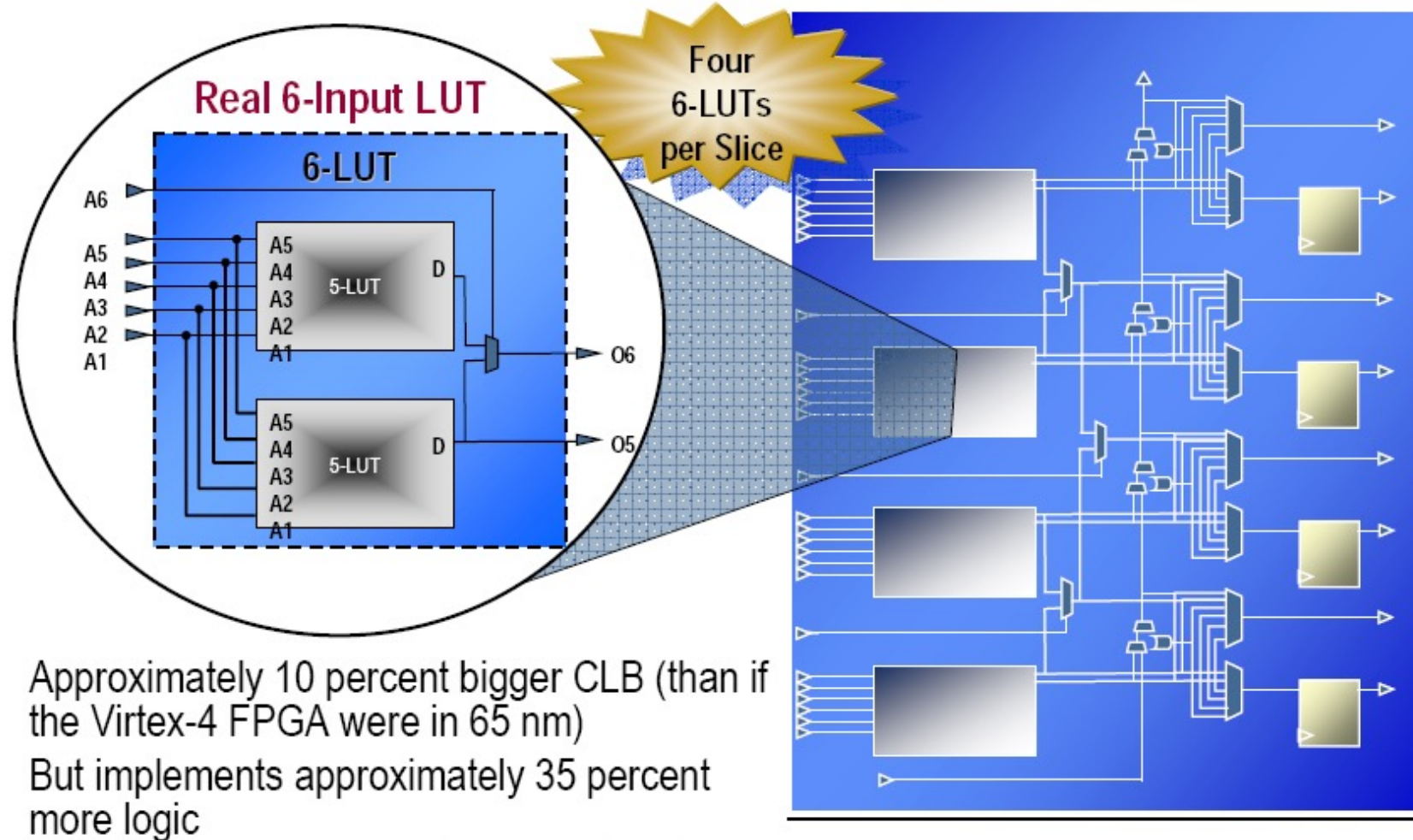
- Un slice CLB poate să implementeze și funcții cu mai mult de 4 intrări logice
- Funcția este partiționată între cele două LUT-uri
- Multiplexorul final selectează ieșirea corectă





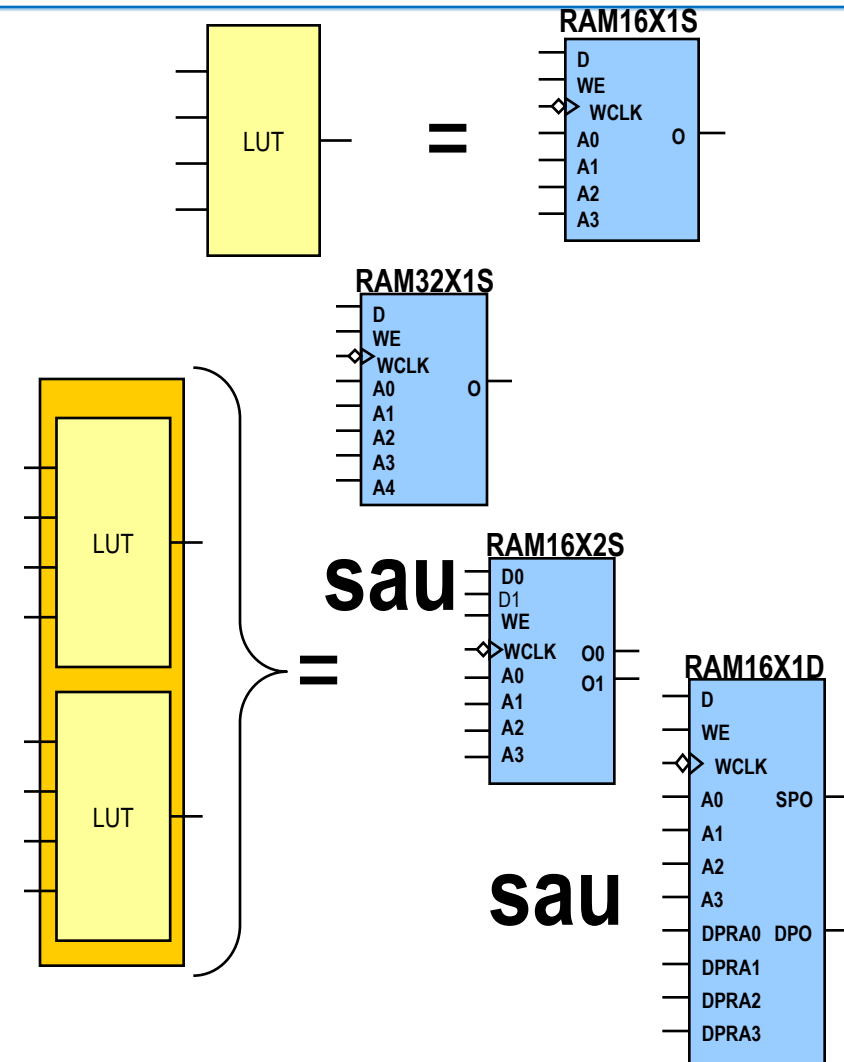
# Implementarea unei funcții logice cu 5 intrări folosind 2 LUT





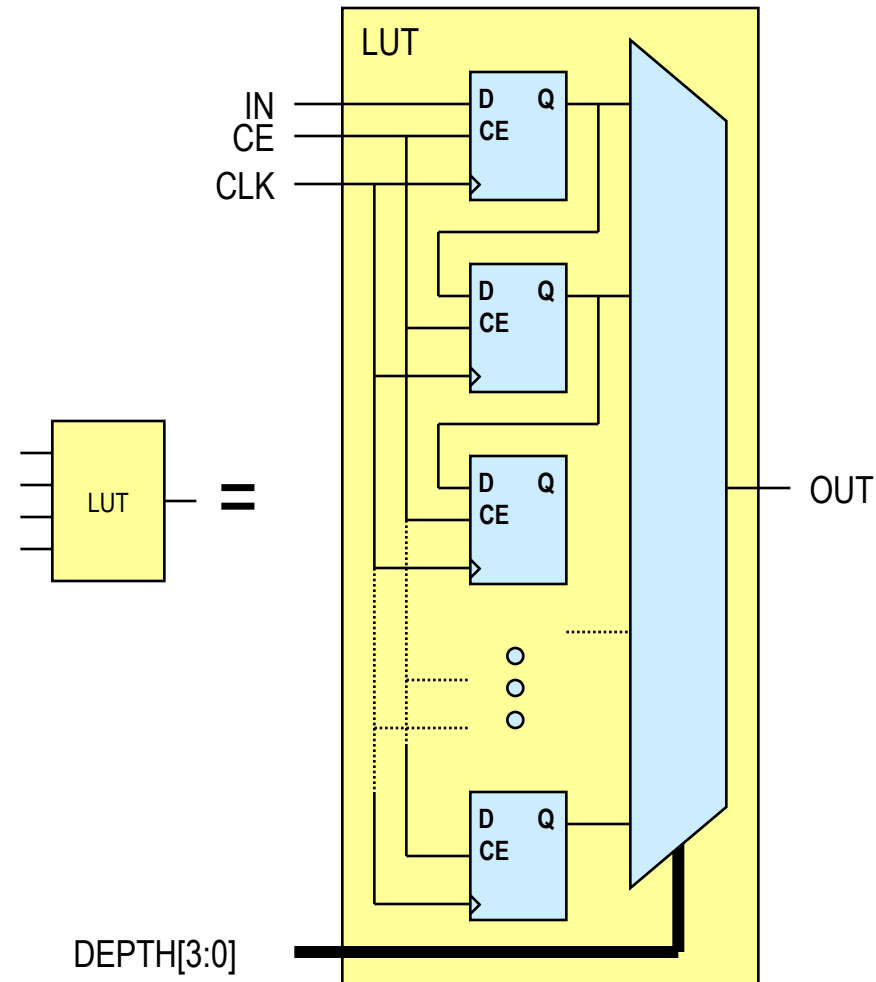
# RAM Distribuít

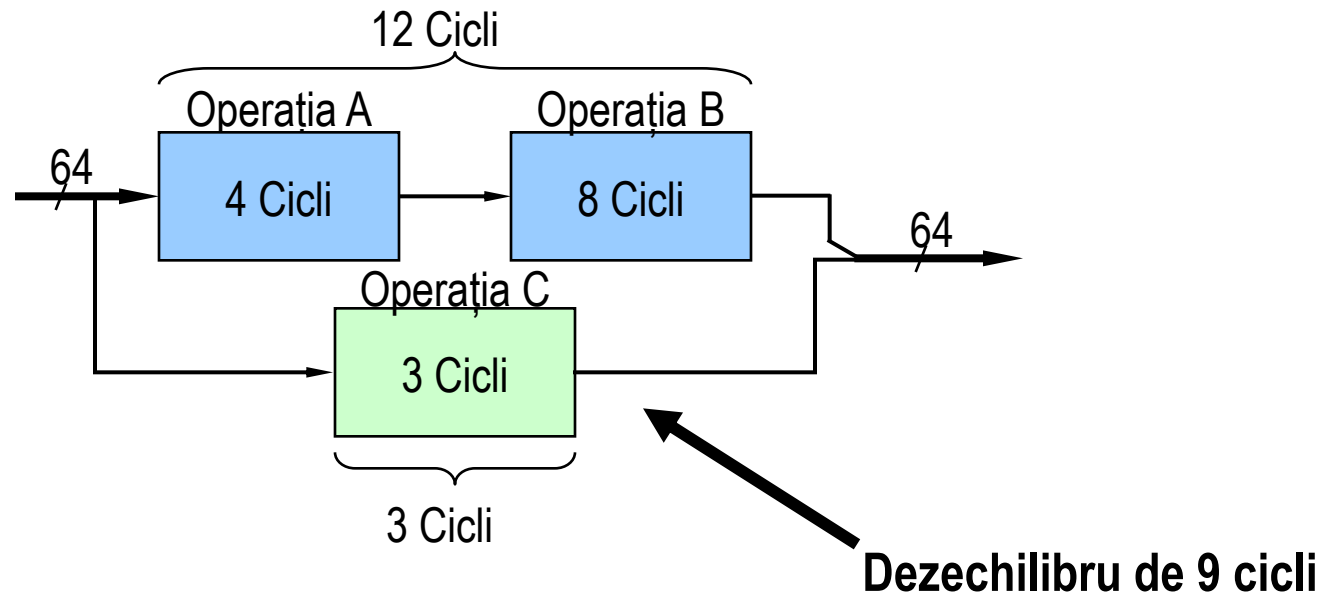
- CLB LUT configurabil ca RAM
  - Un LUT egal 16x1 RAM
  - Memoria poate fi Single sau Dual-Port
  - Cascadarea LUT-urilor măreste lăţimea memoriei
- Scriere Sincronă
- Citire Sincronă/Asincronă
  - Circuitele flip-flop pot fi folosite pentru implmentarea citirii sincrone



# Registru Shift

- Fiecare LUT poate fi configurat ca un registru shift
  - Serial in, serial out
- Întârziere dinamică de până la 16 cicli
- Cascadarea mărește numărul ciclilor de întârziere

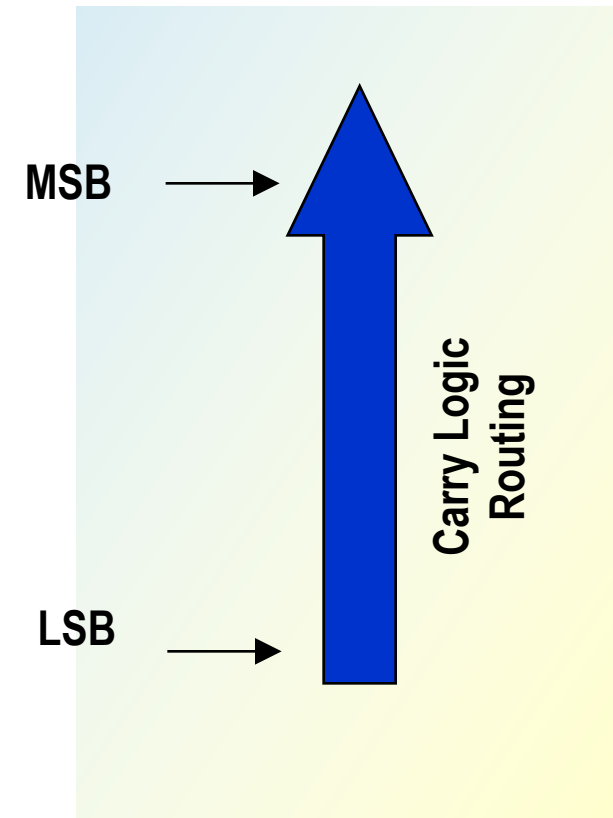




- FPGA bogat în registre
  - Permite adăugarea de etaje pipeline pentru a mări productivitatea
- Căile de date trebuie să fie echilibrate pentru a păstra funcționalitatea sistemului

# Fast Carry Logic

- ◆ Fiecare CLB conține logică separată pentru rutarea și generarea rapidă a semnalelor de sumă și carry
  - Mărește eficiența și performanțele sumatoarelor, multiplicatoarelor, acumulatelelor, comparatoarelor și numărătoarelor
- ◆ Logica de carry este independentă de logica normală și poate lucra în conjuncție cu LUT

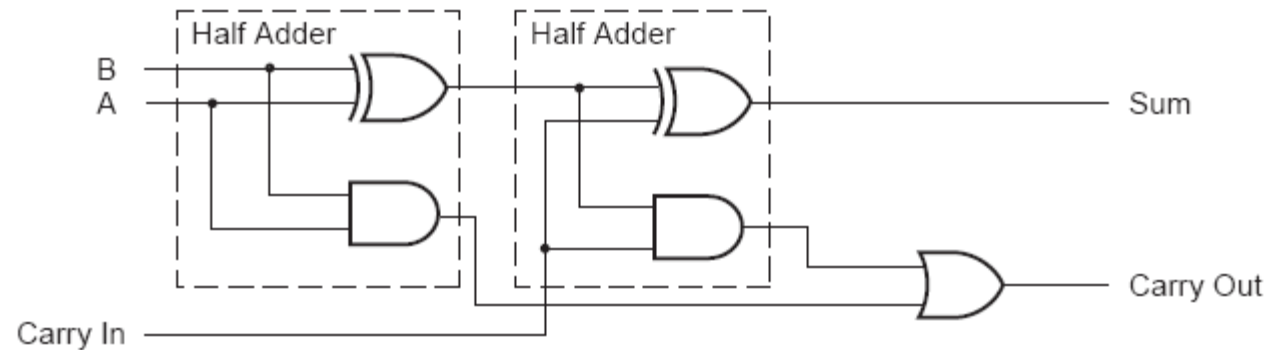


Toate tool-urile majore de siteză pot invoca carry logic pentru funcțiile aritmetice

- Adunare ( $SUM \leq A + B$ )
- Scădere ( $DIFF \leq A - B$ )
- Comparații (if  $A < B$  then...)
- Numărătoare ( $count \leq count + 1$ )

## Abordarea clasică: Half Adder

A	B	Sum (A XOR B)	Carry Out (A AND B)
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



## Dezavantaje:

- Propagare lentă a carry
- Utilizează 2 LUT-uri

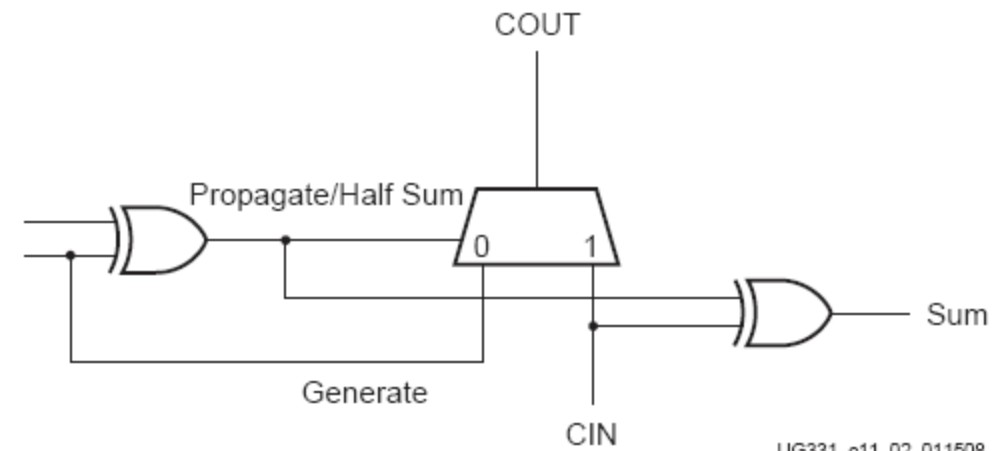


## Carry Look-Ahead

A	B	Propagate	Generate
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

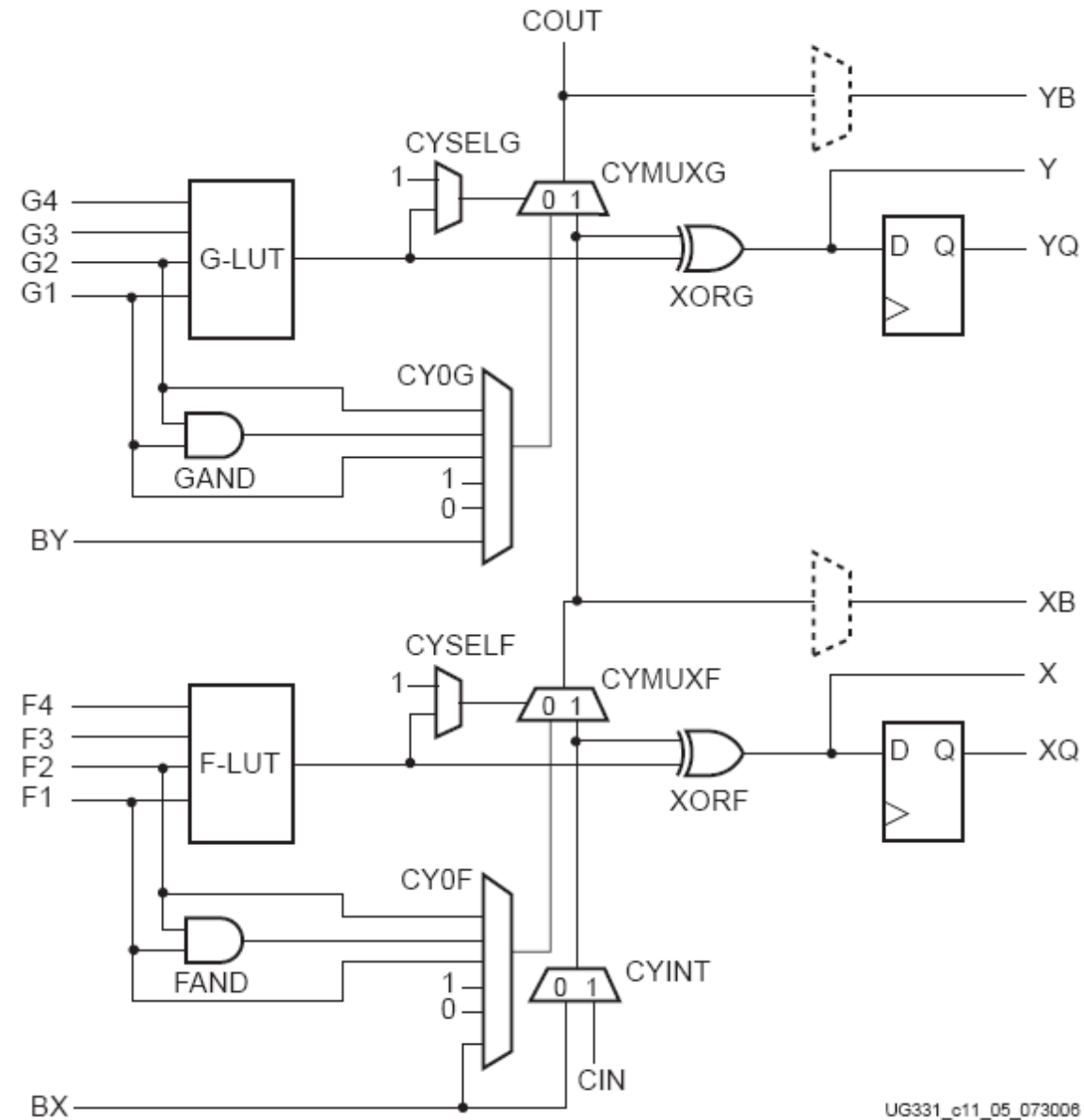
### Avantaje:

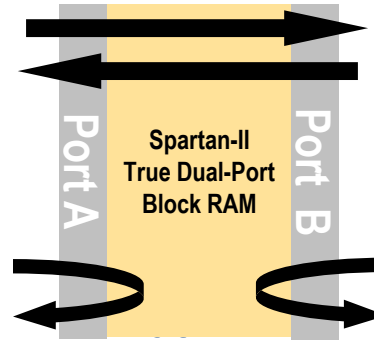
1. Folosește un singur LUT (trei intrări)
2. Carry se propagă rapid – un singur MUX



UG331\_c11\_02\_011508

# Structura unui slice cu logică adaugată

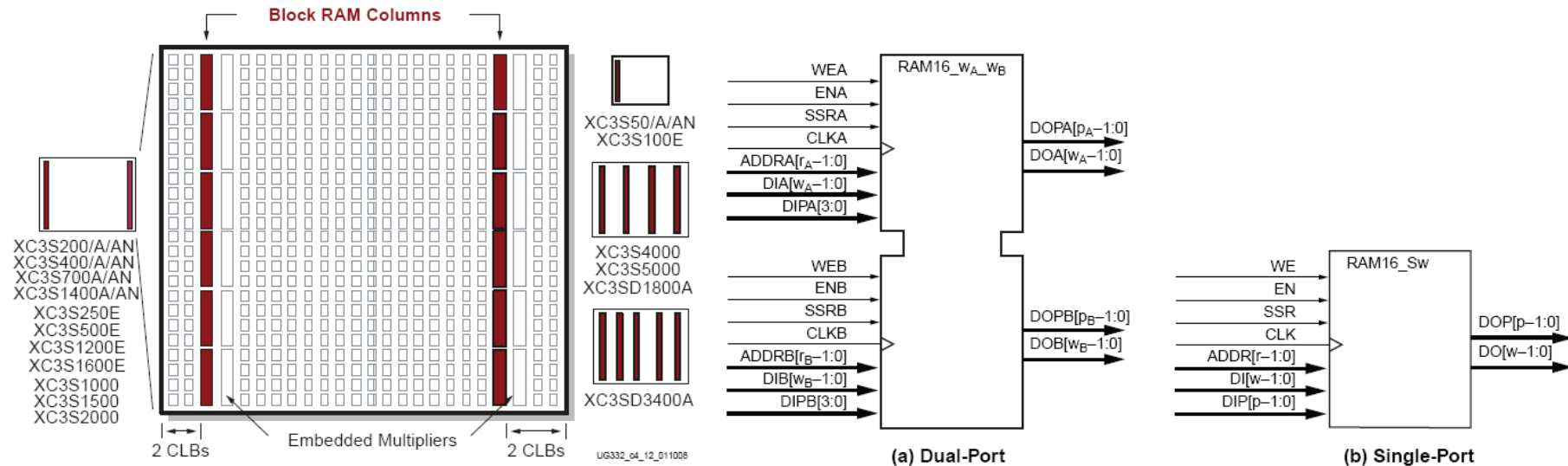




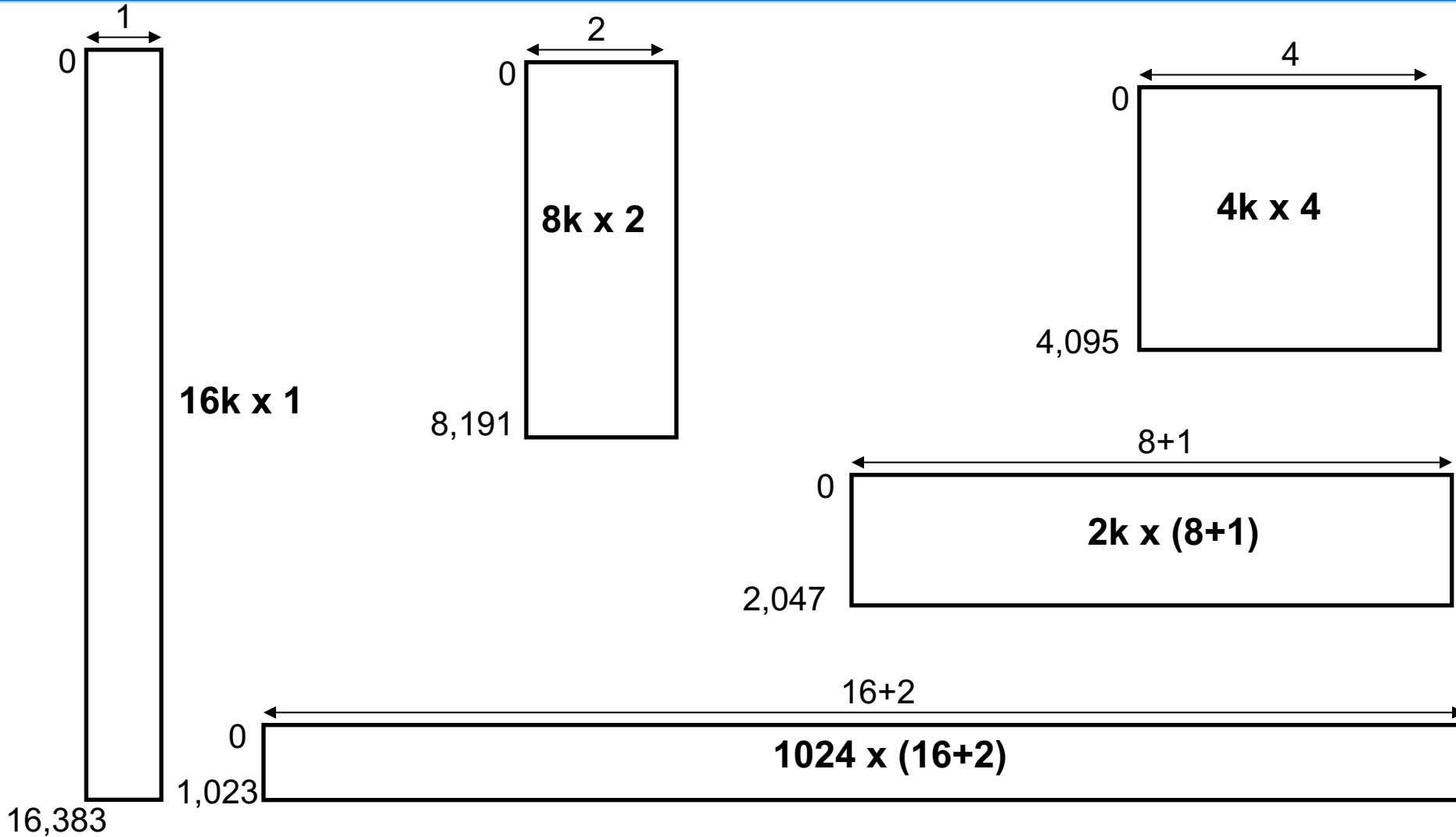
- Implementare eficientă a memoriei între CLB și porturile IO
  - Blocuri dedicate
- Toată logica de control este implementată în celula de RAM
  - De la 4 la 104 blocuri de memorie
    - 18 kbiți pe bloc
  - Blocurile se pot cascada pentru implementarea unei memorii mai mari
- Poate funcționa ca single sau dual-port RAM

# Block RAM Port Aspect Ratios

Total RAM bits, including parity	18,432 (16K data + 2K parity)
Memory Organizations	16Kx1 8Kx2 4Kx4 2Kx8 (no parity) 2Kx9 (x8 + parity) 1Kx16 (no parity) 1Kx18 (x16 + 2 parity) 512x32 (no parity) 512x36 (x32 + 4 parity) 256x72 (single-port only)

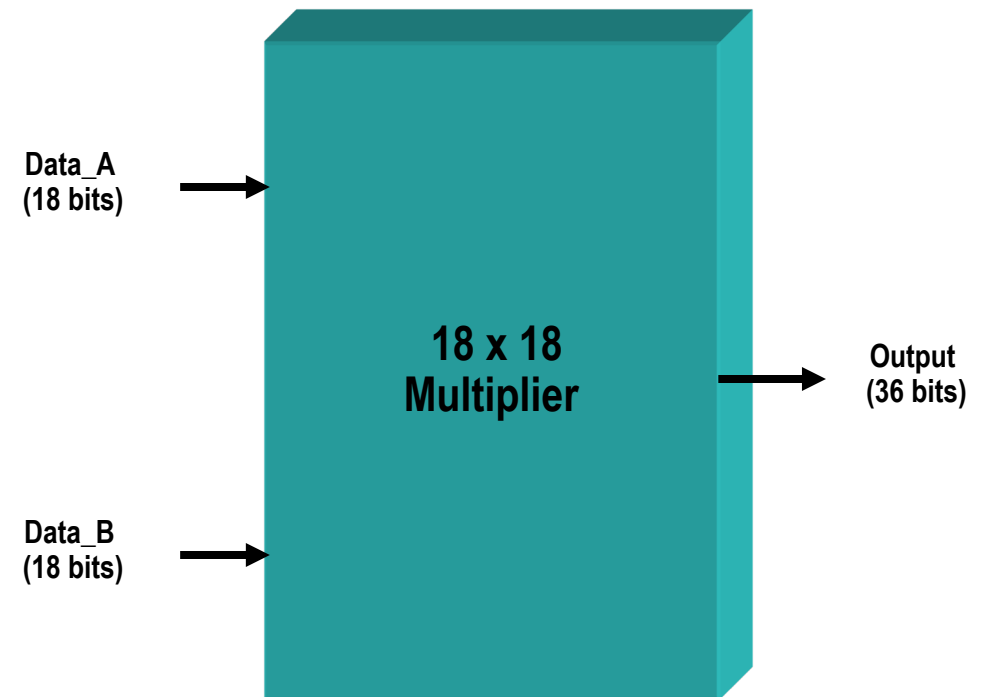
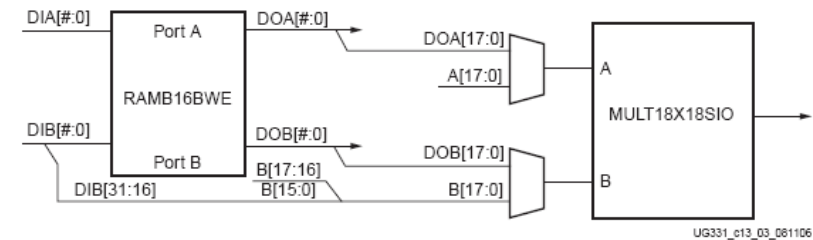


# Block RAM Port Aspect Ratios

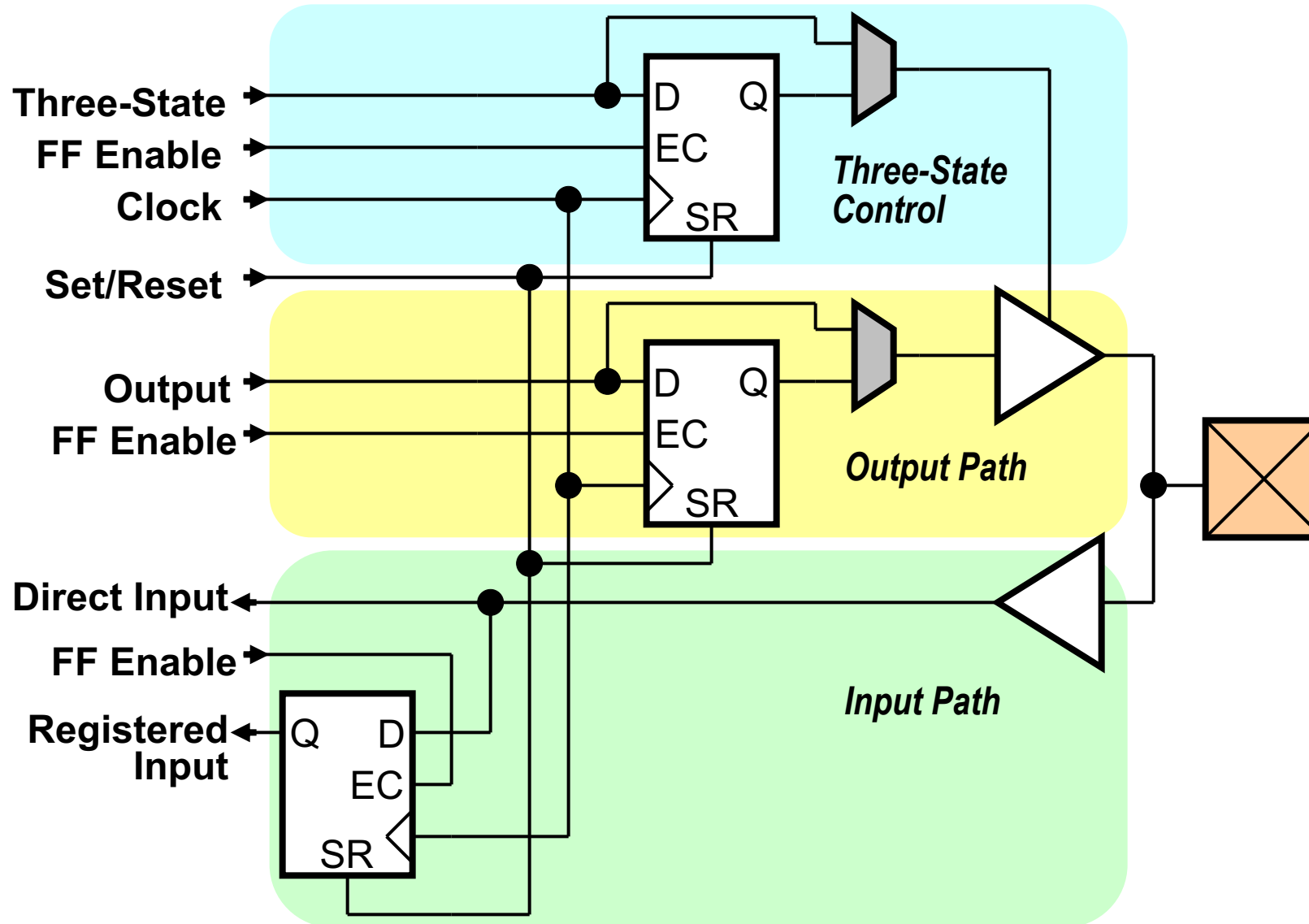


# 18 x 18 Embedded Multiplier

- **Întărește funcționalitatea de DSP a circuitului**
  - Optimizat pentru viteză și performanță maximă. Implementează module tip multiply/accumulate
  - Sunt organizate în coloane adiacente coloanelor de blocuri RAM
  - Fiecare multiplicator are doi operanzi de 18 biți lățime și este implementat în logică pur combinațională. Se conectează prin magistrală la blocul RAM adiacent



# Structura de bază a unui bloc I/O

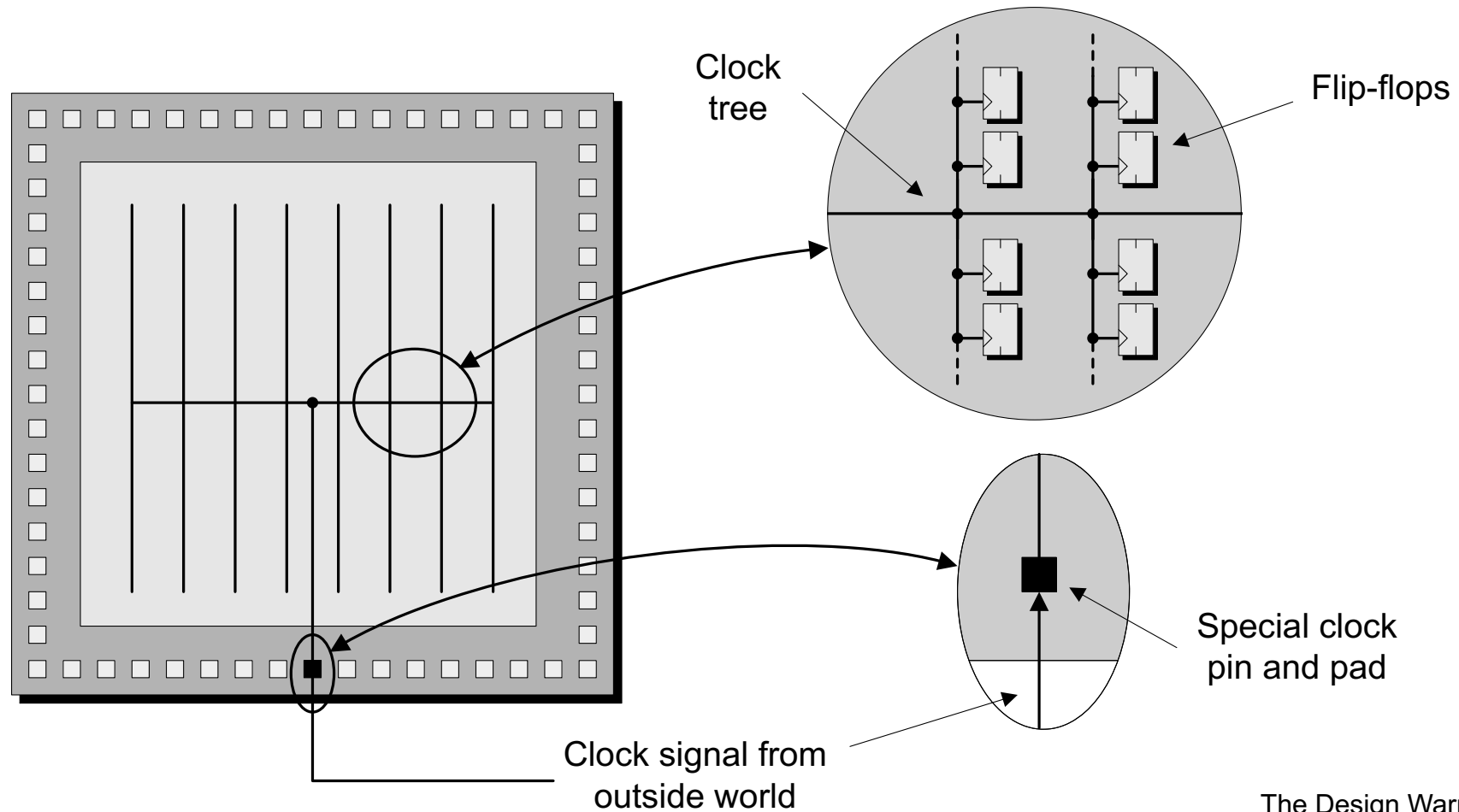


- Blocurile I/O (IOB) permit interconectarea pinilor circuitului la structura internă de blocuri CLB
- Fiecare IOB poate să funcționeze ca un port uni sau bidirecțional
- Ieșirile pot fi forțate în starea de impedanță mărită
- Intrările și ieșirile pot fi trecute printr-un buffer de tip registru
- Intrările pot fi amânate



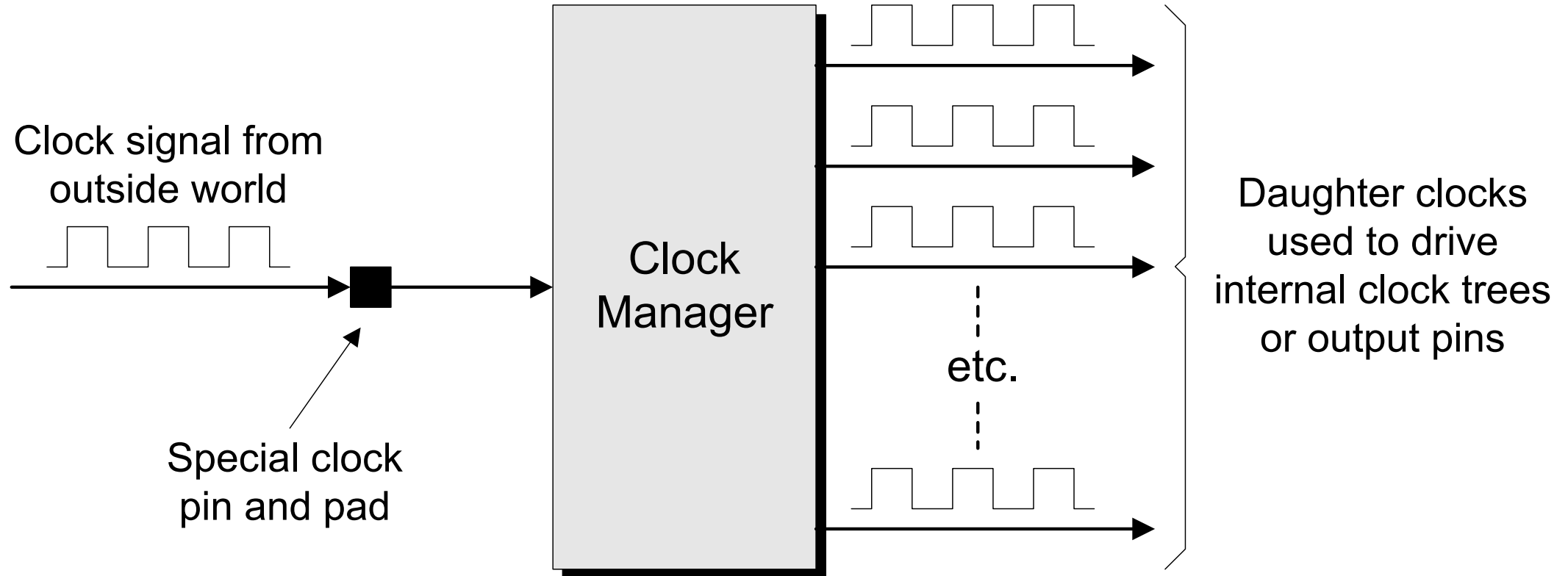


# Clock Tree



The Design Warrior's Guide to FPGAs  
Devices, Tools, and Flows. ISBN 0750676043  
Copyright © 2004 Mentor Graphics Corp. ([www.mentor.com](http://www.mentor.com))

# Digital Clock Manager (DCM)



The Design Warrior's Guide to FPGAs  
Devices, Tools, and Flows. ISBN 0750676043  
Copyright © 2004 Mentor Graphics Corp. (www.mentor.com)