

Calculatoare Numerice (2)

- Cursul 1 -

Sistemul de memorie (1)

Facultatea de Automatică și Calculatoare
Universitatea Politehnică București

HEY, PAL, I'VE FINALLY UNDERSTOOD HOW MY CPU WORKS AND WHY IT CRASHES SOMETIMES WHEN I TRY TO RUN SOME NASTY CODE!



OH, YOU THINK SO?

OH, YEAH, I'VE JUST PAST MY "CN1st" COURSE



HMM... AND YOU THINK THAT'S ALL?

WHAT DO YOU MEAN ...



YOU KNOW SO LITTLE...
OH, WAIT... THERE'S MORE!



MY ULTIMATE IS READY...
... THERE IT COMES... 'CN2'!!



TO BE CONTINUED...

Proiectarea sistemului de memorie

Probleme de proiectare – Vrem un circuit de memorie:

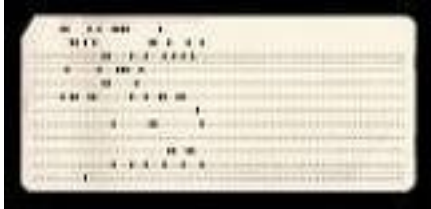
- Poate să țină pasul cu viteza de execuție a CPU
- Are destulă capacitate pentru program și date
- Ieftină, fiabilă și eficientă energetic

Tehnologia și organizarea memoriei principale a unui calculator

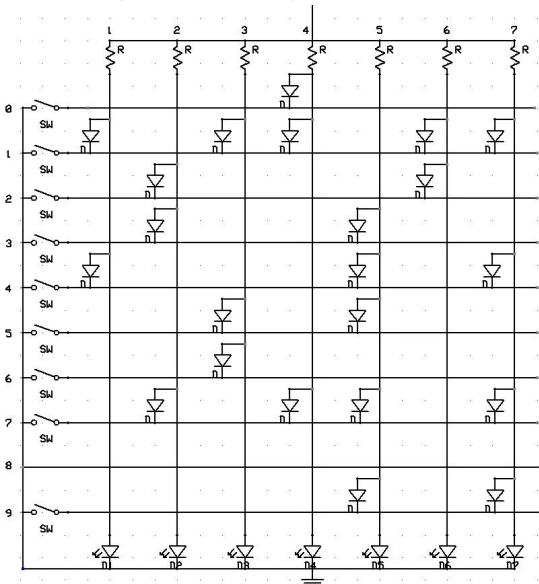
- SRAM (cache), DRAM (main), și flash (nonvolatile)
- Întrețesere & pipelining pentru a combate “memory wall”



Primele tehnologii de fabricație pentru memoria Read-Only



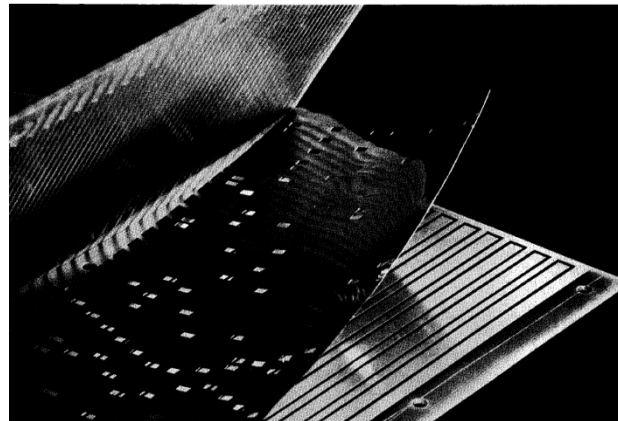
Cartele perforate , din anii 1700, războaie Jaquard, Babbage, IBM până în anii '80



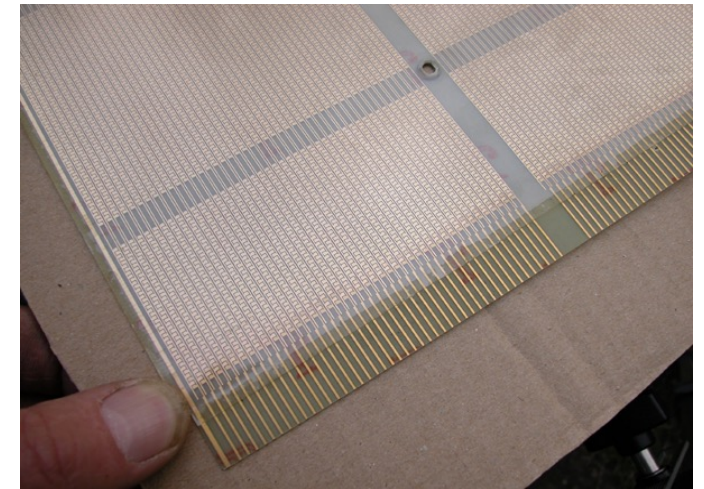
Diode Matrix, EDSAC-2 μ code store



Bandă perforată – programul rulat de Harvard Mk 1



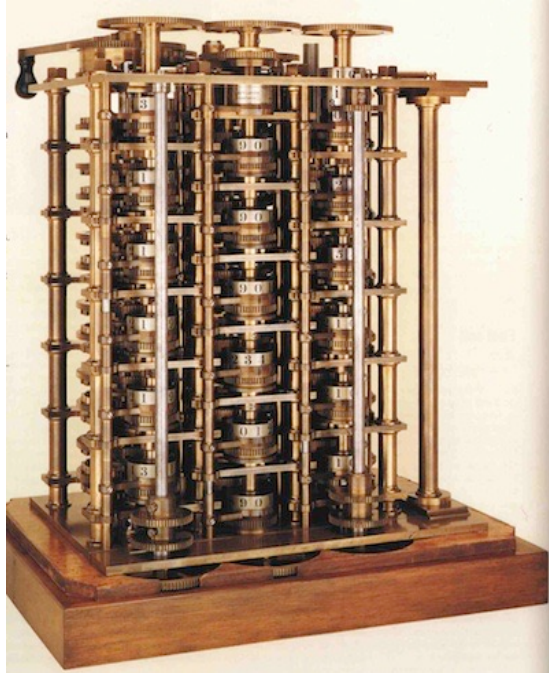
IBM Card Capacitor ROS



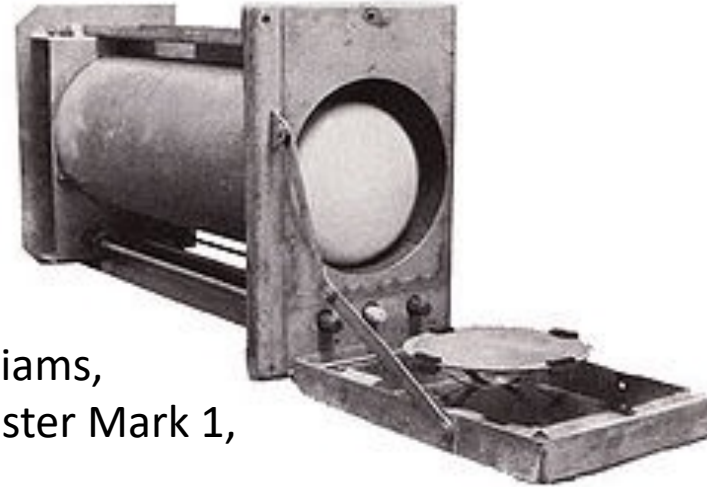
IBM Balanced Capacitor ROS

Primele tehnologii de fabricație pentru memoria Read-Write

Babbage, anii 1800: Cifre stocate pe roți mecanice



Memorie regenerativă cu condensatoare pentru calculatorul Atanasoff-Berry și memorie pe tambur magnetic rotativ pentru IBM 650

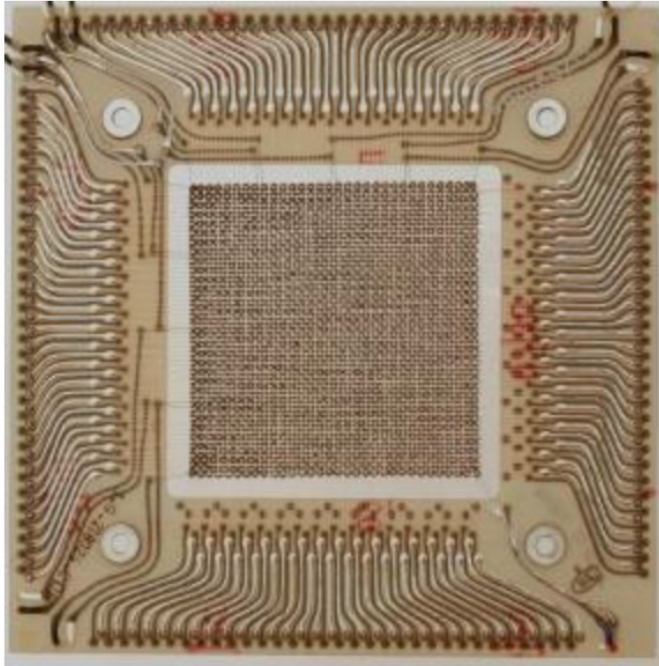


Tub Williams,
Manchester Mark 1,
1947

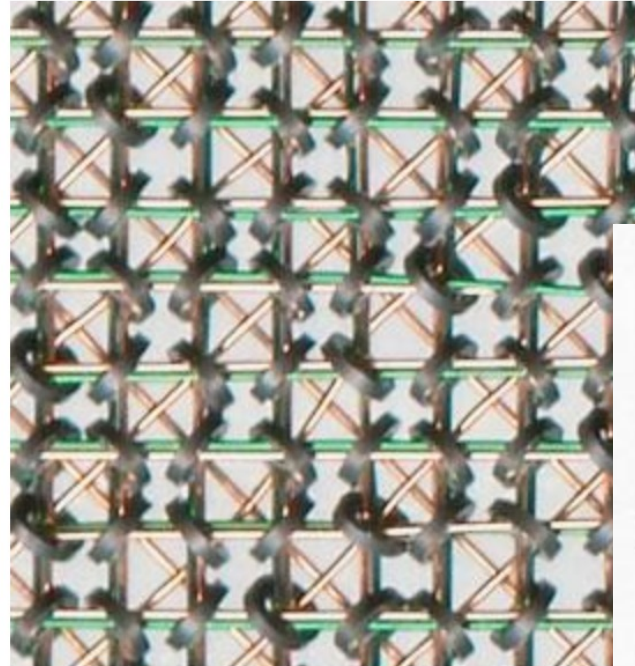
Mercury Delay Line, Univac 1, 1951



Memorie pe miez de ferită - MIT Whirlwind

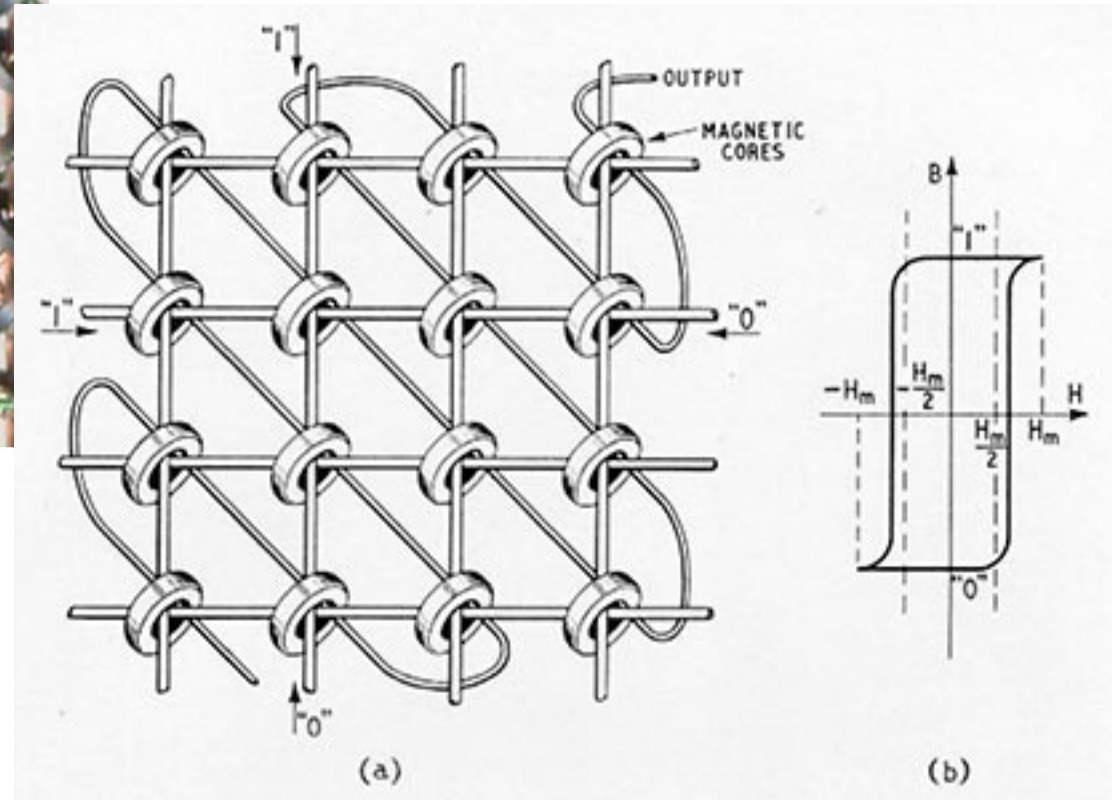


50mm



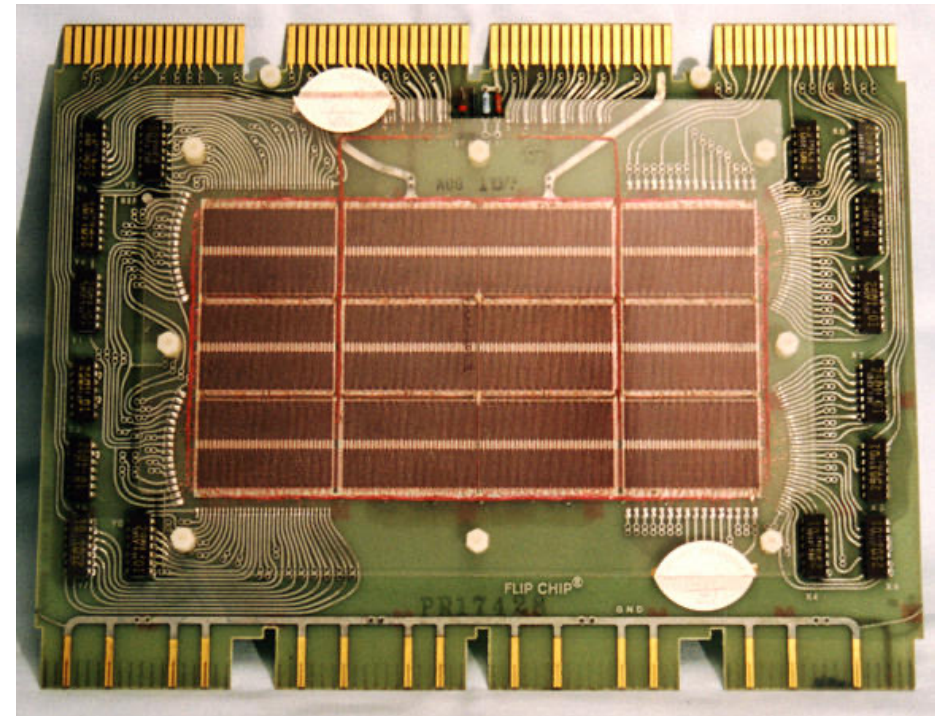
2mm

<http://www.corememoryshield.com/report.html>



Memoria pe miez de ferită

- A fost prima tehnologie de fabricație fiabilă pentru memoriile principale
 - Inventată de Forrester sfârșitul anilor 40/începutul anilor 50 la MIT pentru proiectul Whirlwind
 - Biți stocați prin polarizarea magnetică a unor miezuri foarte mici de ferită țesute într-o matrice bidimensională de fire conductoare
 - Pulsurile concomitente de curent pe conductorii X și Y pot scrie starea bitului de memorie și să citească starea originală (destructive read)
-
- Stocare robustă, non-volatilă
 - Folosită la primele nave spațiale (de la Apollo la navetele spațiale)
 - Inelele de ferită țesute de mână (25 de miliarde/an)
 - Timp de acces $\sim 1\mu\text{s}$



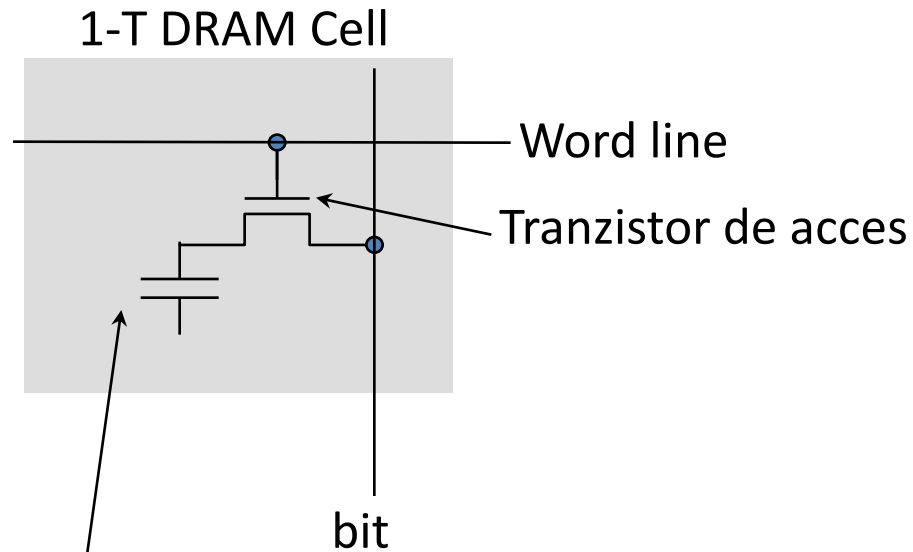
Memorii semiconductoare

- Memoriile semiconductoare au început să fie competitive în anii 70
 - Intel a apărut pentru a exploata piața memoriilor semiconductoare
 - Primele memorii semiconductoare au fost RAM-urile Statice (SRAM). Structura internă a unei celule SRAM este similară cu aceea a unui latch (inversoare în anti-paralel).
- Primul RAM Dinamic (DRAM) comercial a fost chipul Intel 1103
 - 1Kbit de memorie pe un singur chip
 - Sarcina unui condensator este folosită pentru a memora un bit

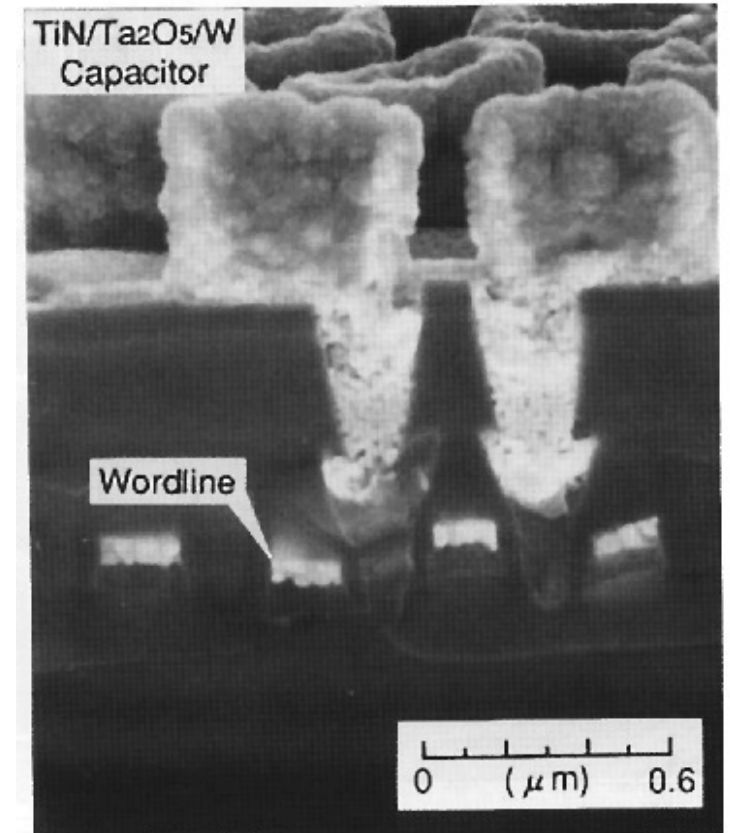
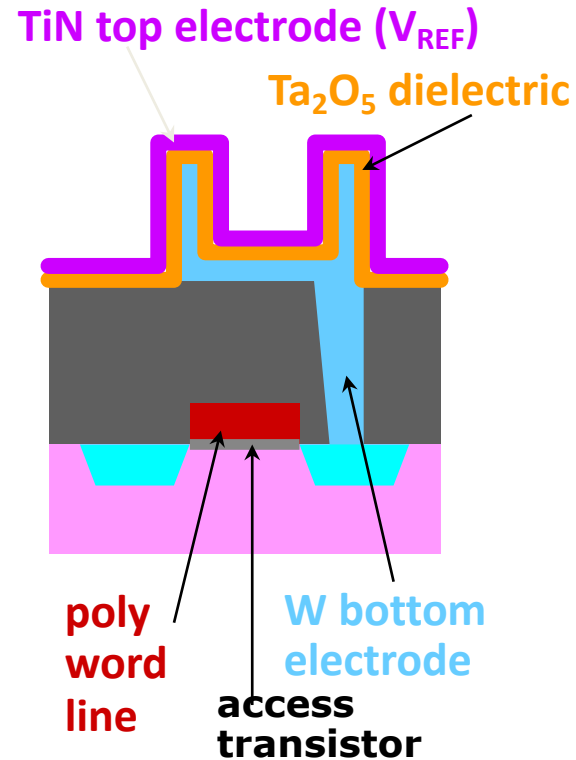
Memoria semiconductoare a înlocuit rapid memoria pe miez de ferită în anii 70



One-Transistor Dynamic RAM [Dennard, IBM]



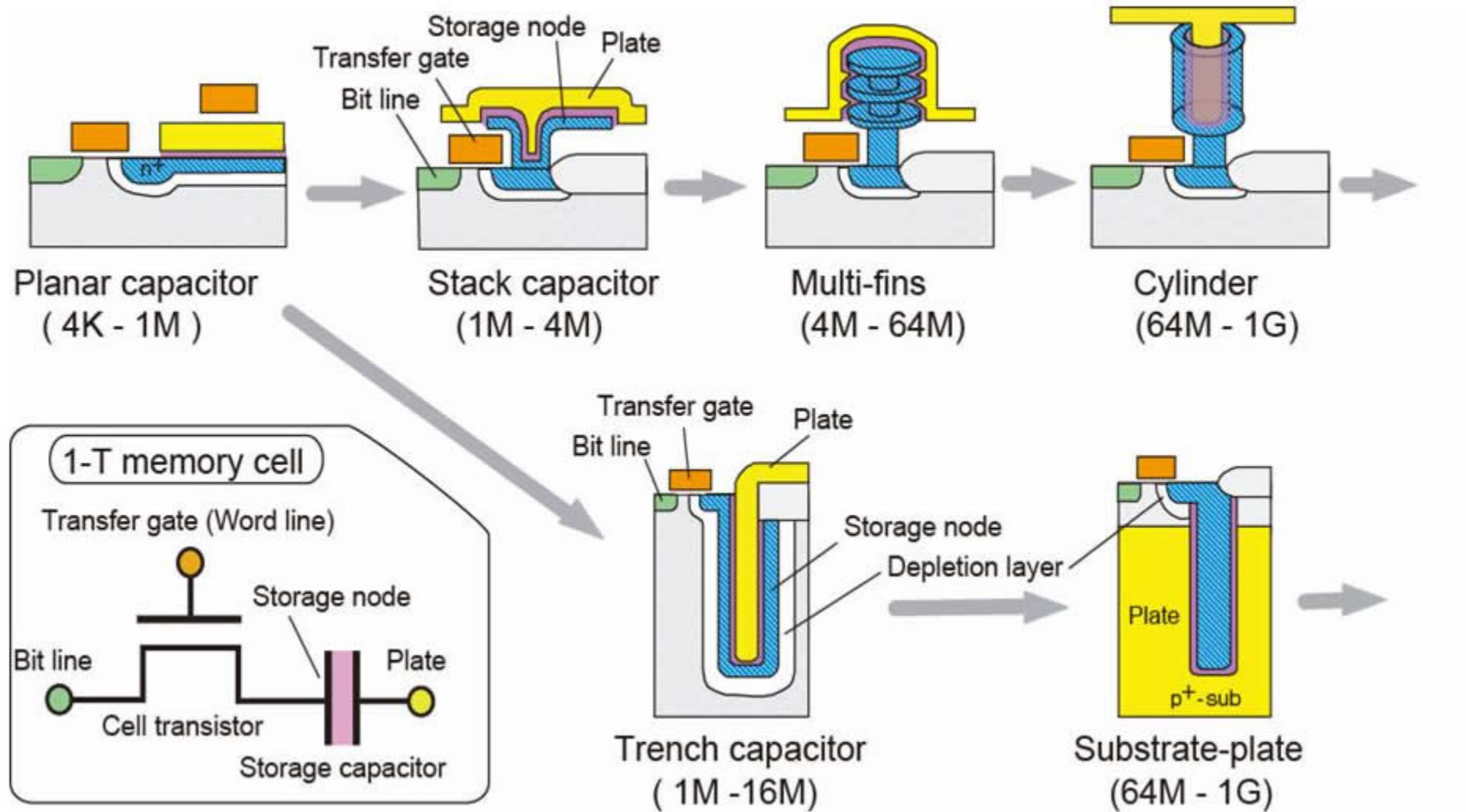
Condensator de stocare (FET gate, trench, stack)



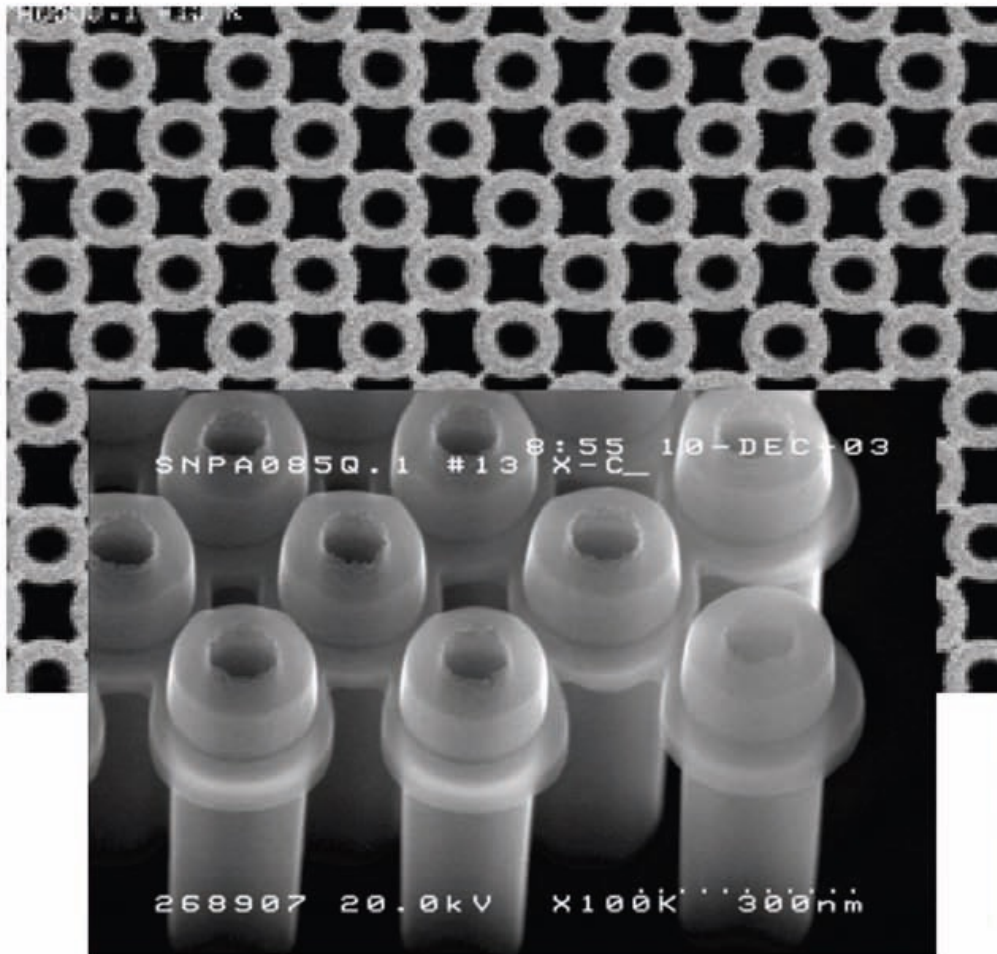
https://en.wikipedia.org/wiki/Dynamic_random-access_memory



DRAM Scaling



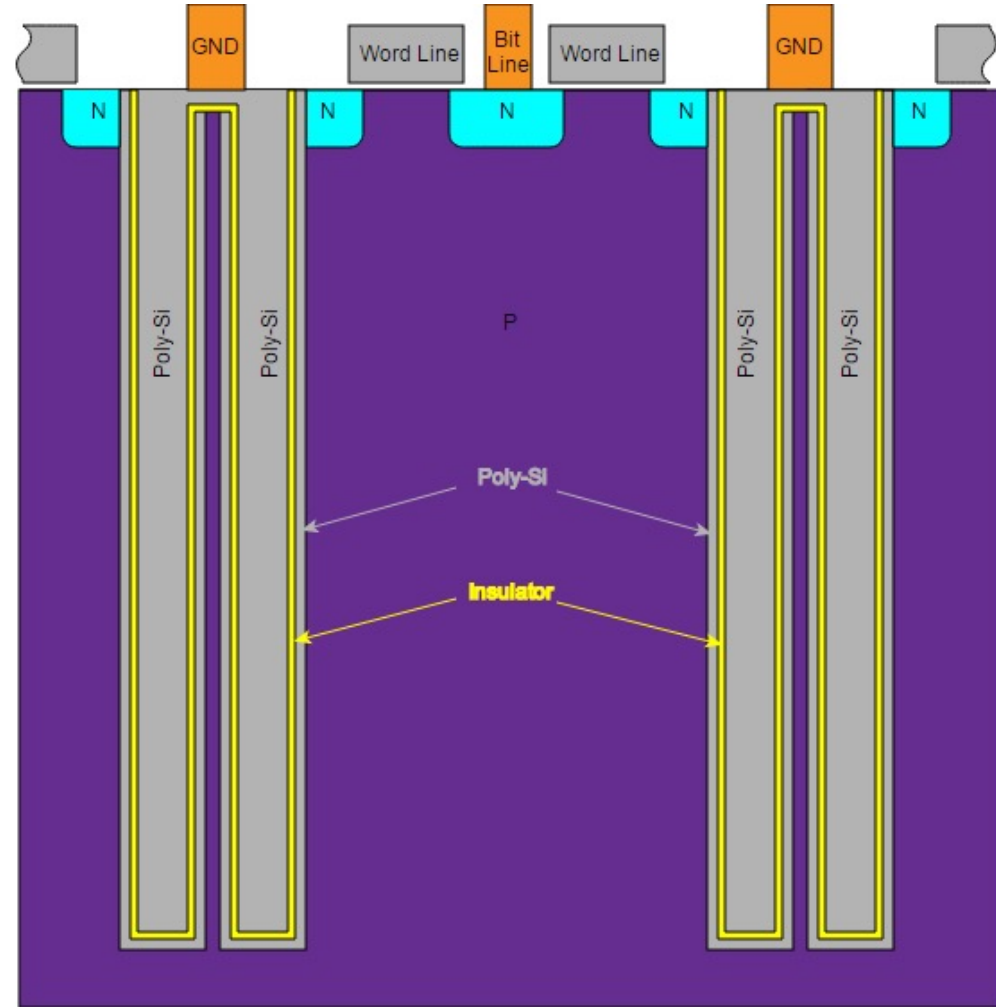
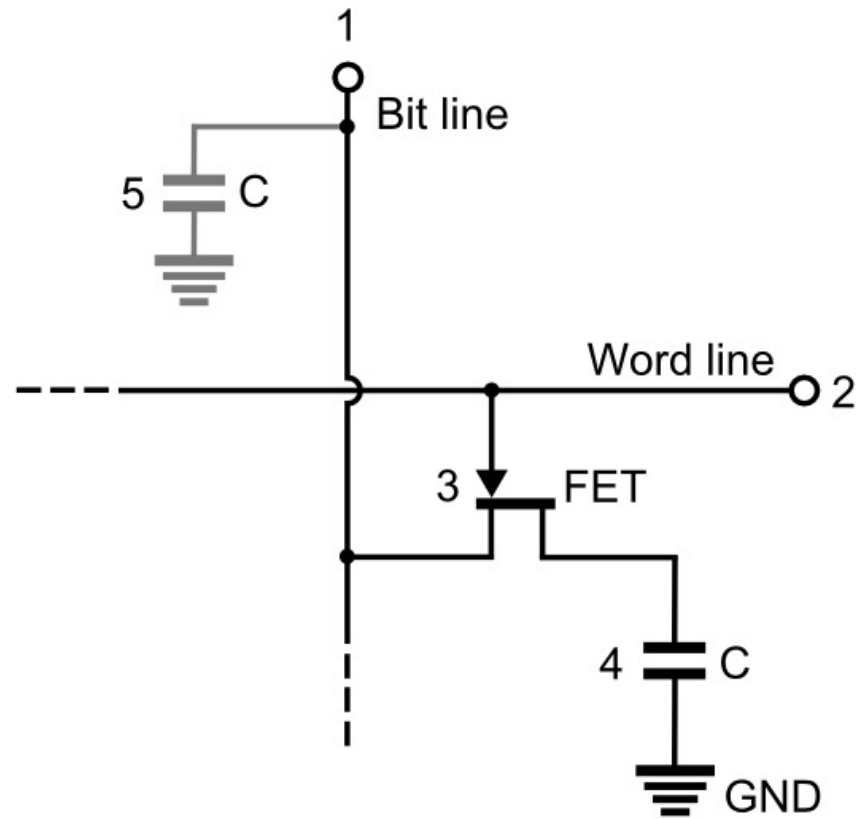
Structura modernă a unui DRAM



[Samsung, sub-70nm DRAM, 2004]

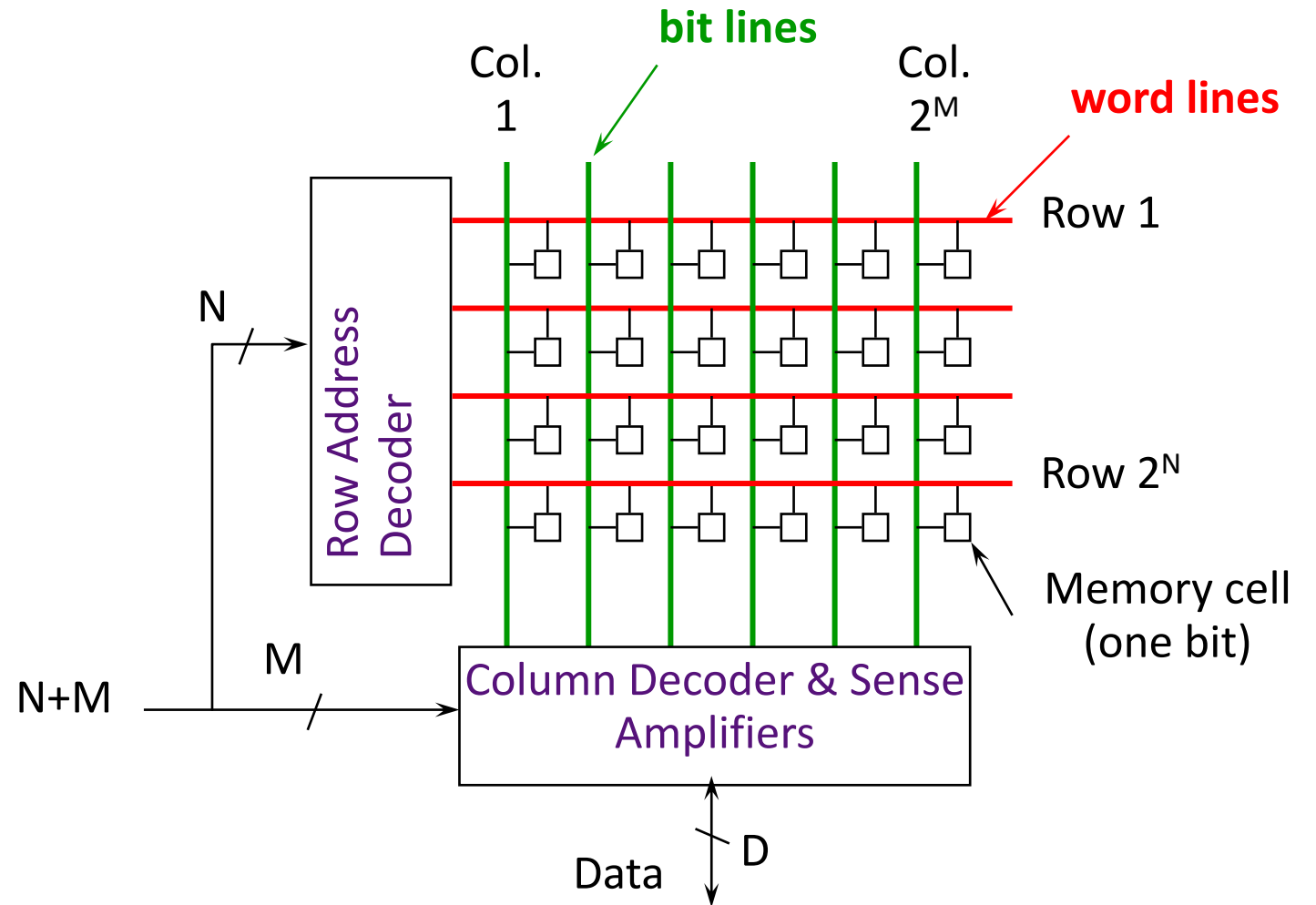


Structura Internă

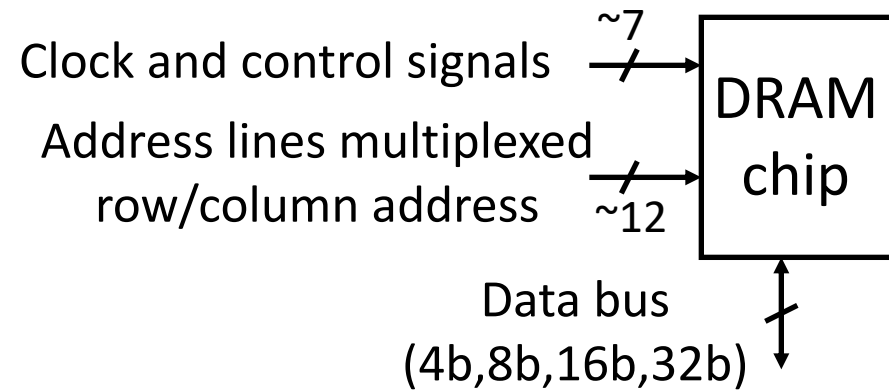


Arhitectura DRAM

- Biții sunt stocați în matrici bidimensionale pe chip
- Chipurile moderne au în jur de 4-8 bancuri logice
- Fiecare banc logic este implementat fizic ca o matrice de biți



Încapsularea DRAM (Laptop-uri/Desktop-uri/Servere)



- DIMM (Dual Inline Memory Module) conține mai multe chipuri cu semnalele de ceas/control/adresă conectate în paralel (câteodată este nevoie de buffering pentru a duce semnalele la toate chipurile)
- Pini de date lucrează împreună pentru a returna un cuvânt întreg (de. ex., bus de date de 64 de biți cu patru chipuri de 16 biți)

DDR



DDR2



DDR3



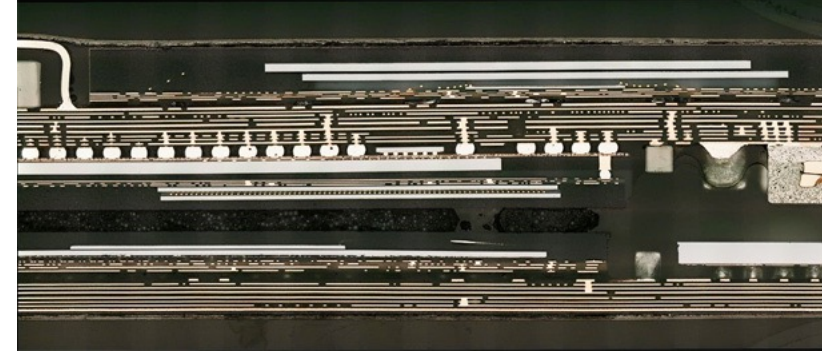
DDR4



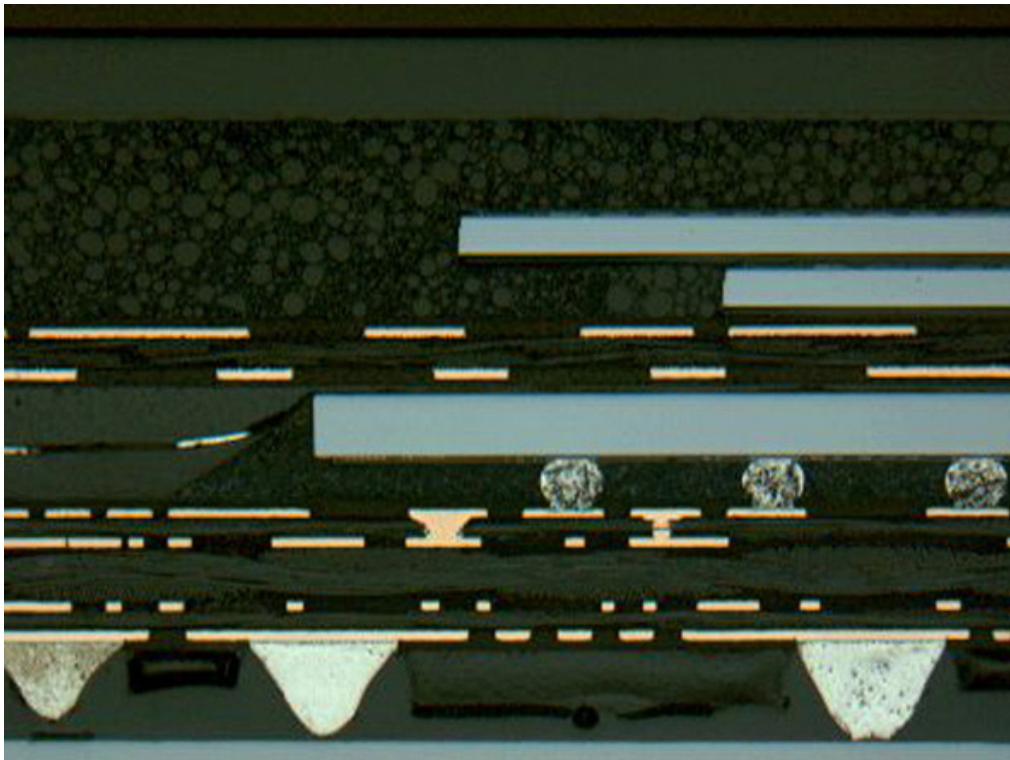
Încapsularea DRAM, Dispozitive mobile



[Capsulă Apple A4 pe PCB]

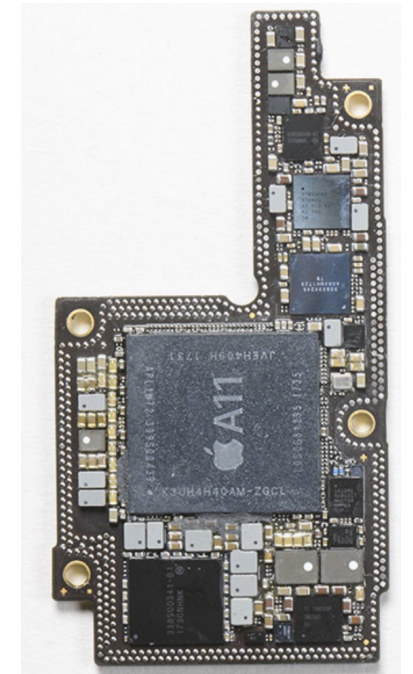


[Capsulă Apple A11 în secțiune]



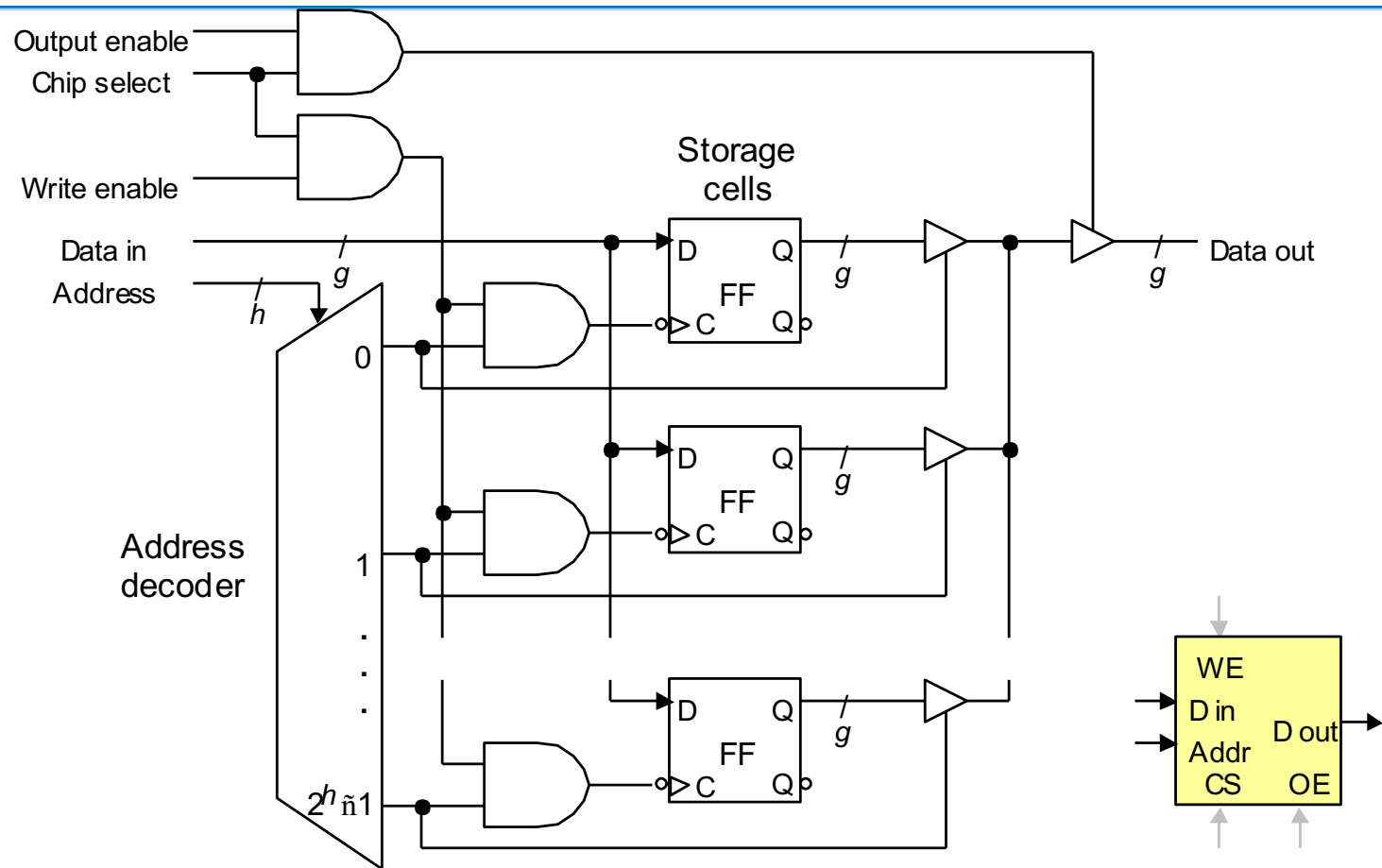
Two stacked DRAM die
Processor plus logic die

[Capsulă Apple A4 în secțiune, iFixit 2010]



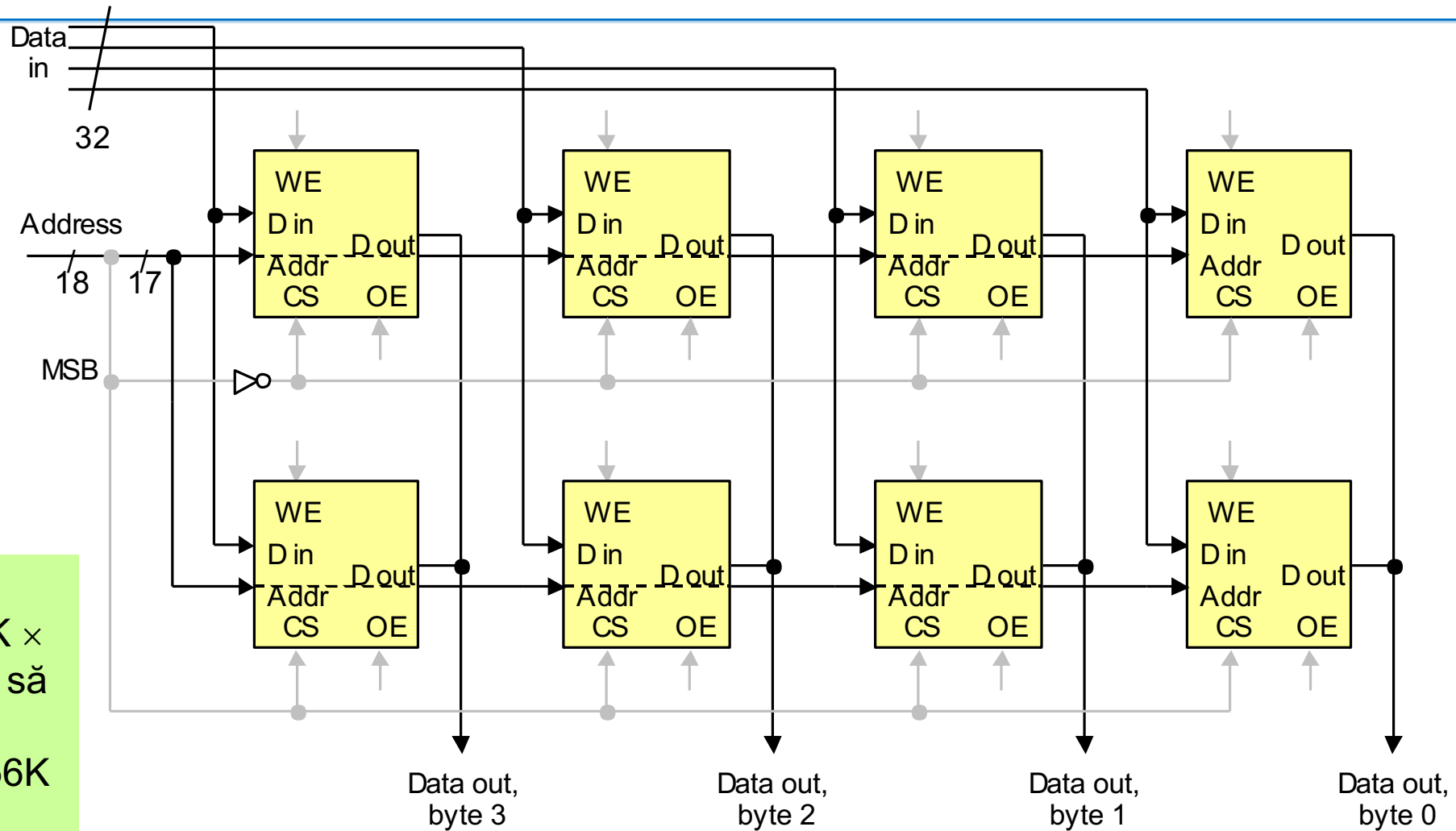
[iPhone X PCB, 2017]

Structura memoriei SRAM



Structura internă a unui chip SRAM $2^h \times g$ biți și simbolul lui echivalent în schema electrică.

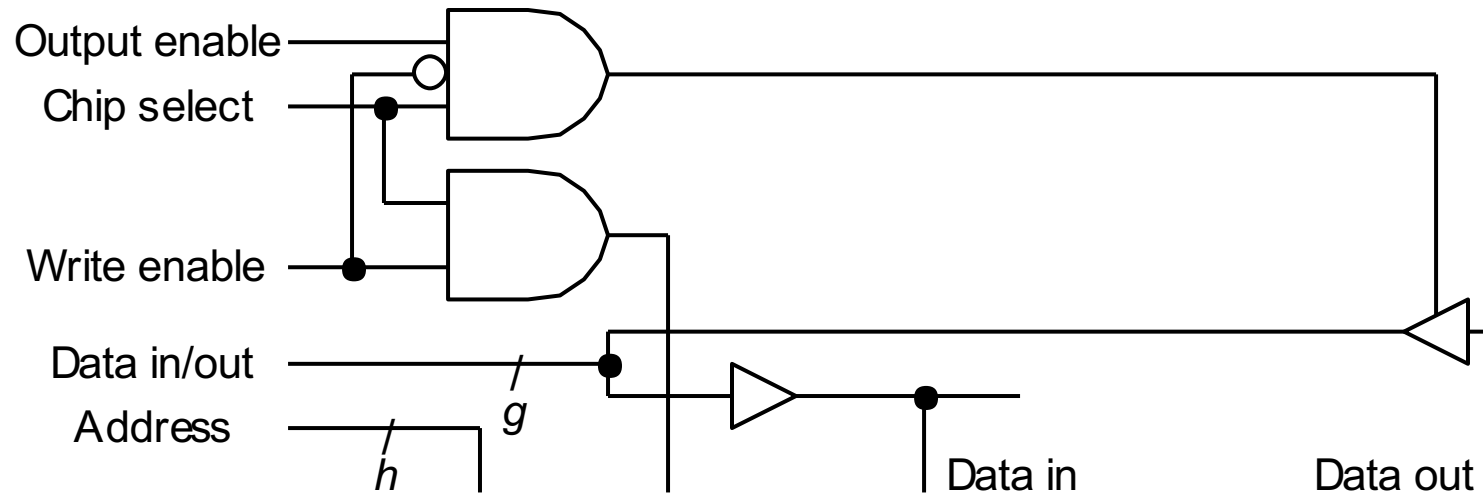
Multiple-Chip SRAM



Opt chipuri
SRAM 128K ×
8 biți legate să
formeze o
memorie 256K
× 32 biți



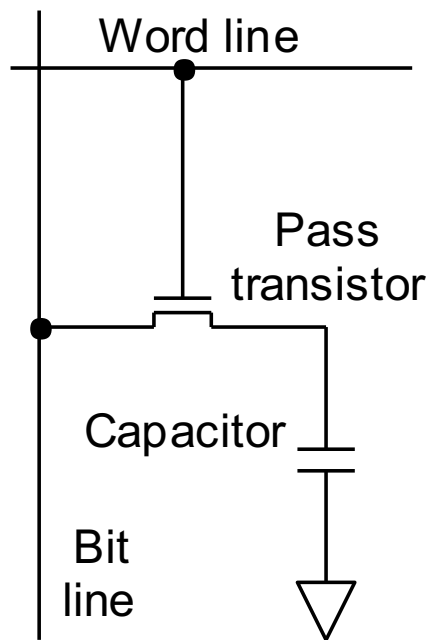
SRAM cu bus de date bidirecțional



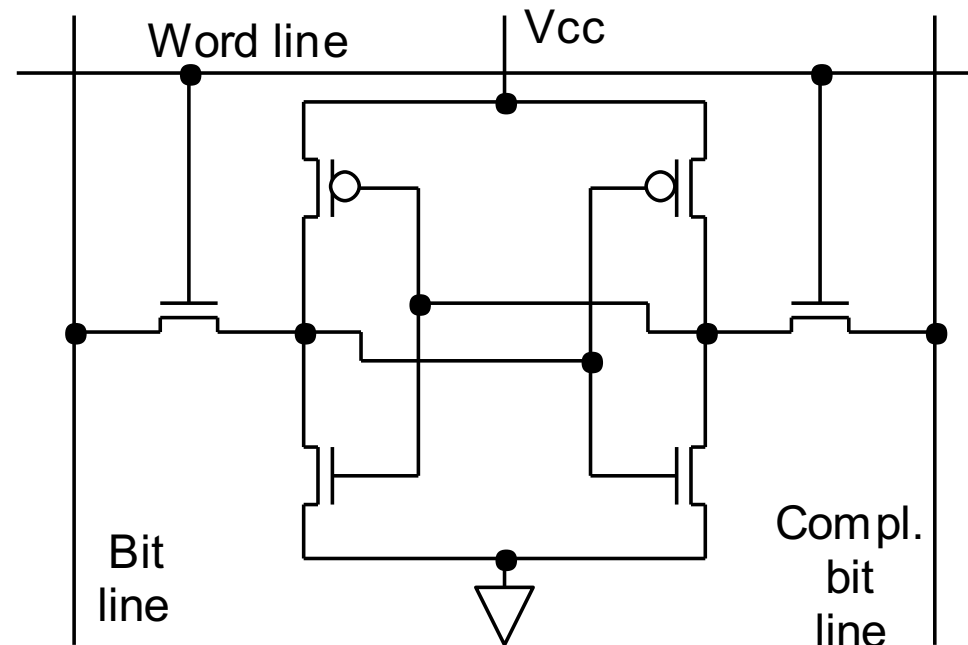
Atunci când intrarea și ieșirea de date a unui chip SRAM sunt partajate sau conectate la un bus bidirecțional, ieșirea trebuie dezactivată în timpul operațiilor de scriere.

Memoria DRAM și ciclul de refresh

DRAM vs. SRAM – complexitatea unei celule de memorie



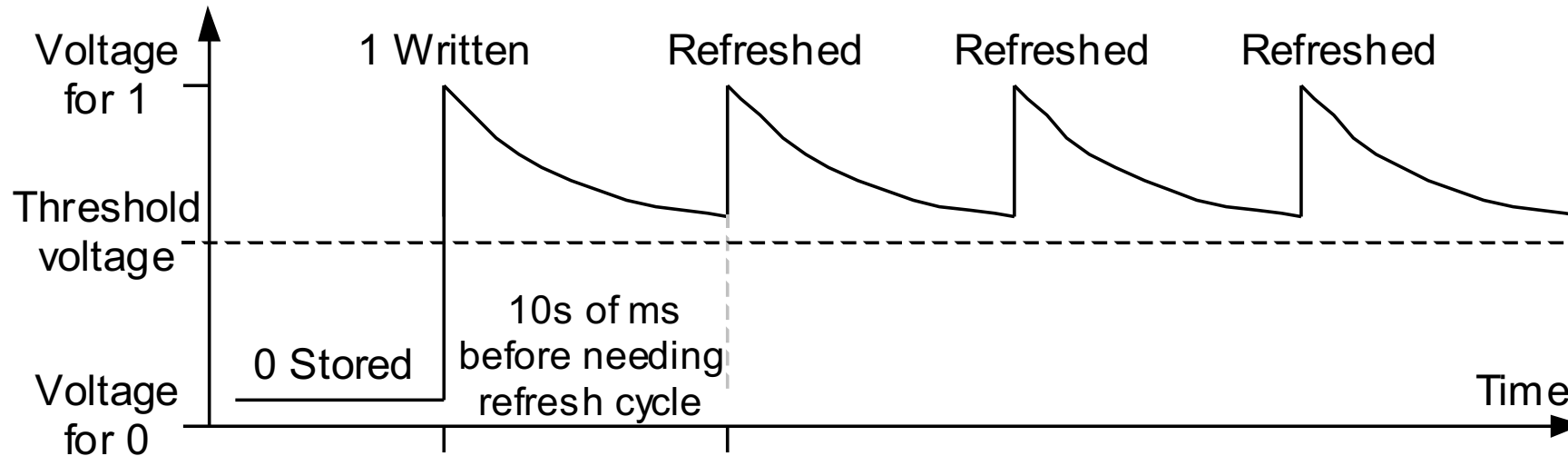
(a) DRAM cell



(b) Typical SRAM cell

Celula de memorie DRAM conține un singur tranzistor și e mult mai simplu de fabricat decât analogul ei SRAM => memorii DRAM de capacitate mai mare și mai dense.

Cicli și rata de refresh pentru memoria DRAM

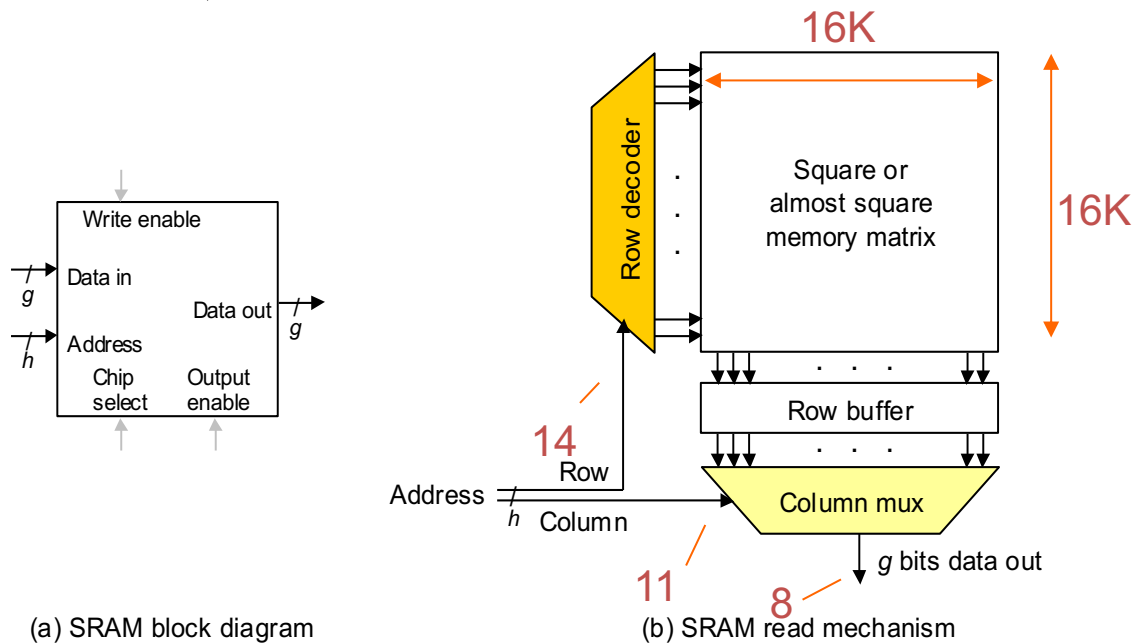


Variația căderii de tensiune pe condensatorul unei celule DRAM după scrierea unui 1 logic și a mai multor operații de refresh.



Pierderea lățimii de bandă cu ciclii de refresh

O memorie DRAM de 256 Mb e organizată ca $32M \times 8$ intern și $16K \times 16K$ intern. Rândurile trebuie reîmprospătate cel puțin la fiecare 50ms pentru a nu pierde datele; refresh-ul pentru o coloană durează 100ns. Cât % din lățimea totală de bandă este pierdută cu ciclii de refresh?

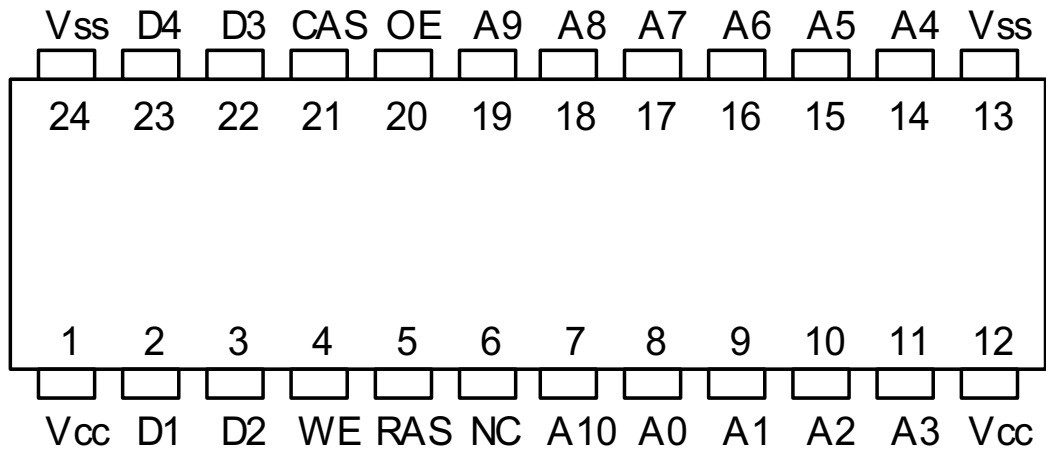


Soluție

Refresh-ul pt toate 16K rânduri durează $16 \times 1024 \times 100 \text{ ns} = 1.64 \text{ ms}$. Pierderea a 1.64 ms la fiecare 50 ms duce la $1.64/50 = 3.3\%$ pierdere din lățimea totală de bandă.

Încapsularea DRAM

24-pin dual in-line package (DIP)



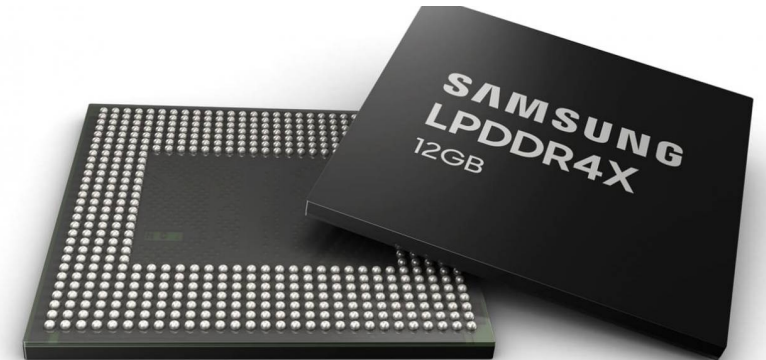
Legend:

A_i	Address bit i
CAS	Column address strobe
D_j	Data bit j
NC	No connection
OE	Output enable
RAS	Row address strobe
WE	Write enable

Capsulă tipică DRAM ce conține o memorie $16M \times 4$ [circa 1990]



556-pin FBGA package

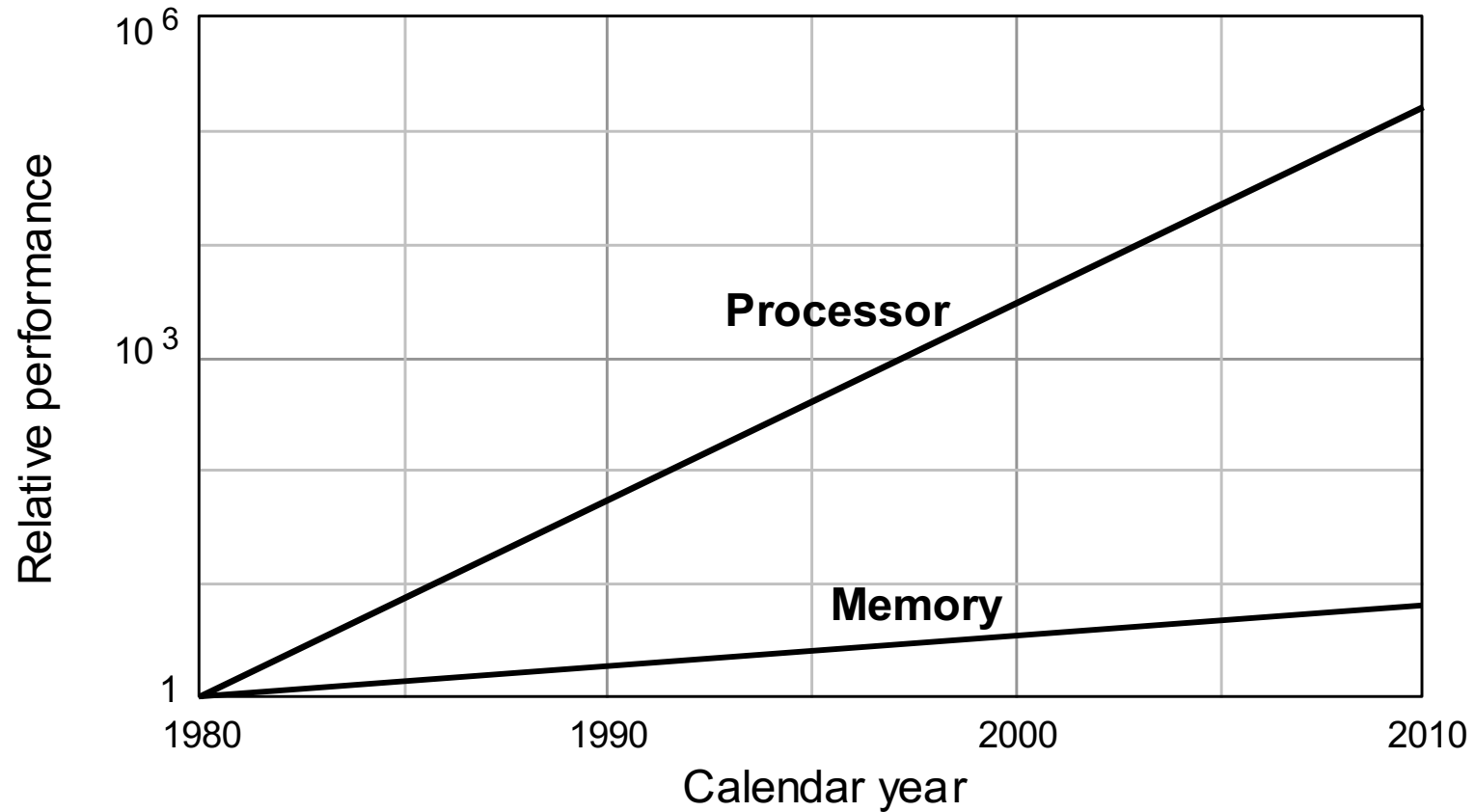


Samsung 12GB DRAM [2019]

<https://www.samsung.com/semiconductor/dram/lpddr4x/>



Atingerea zidului memoriei

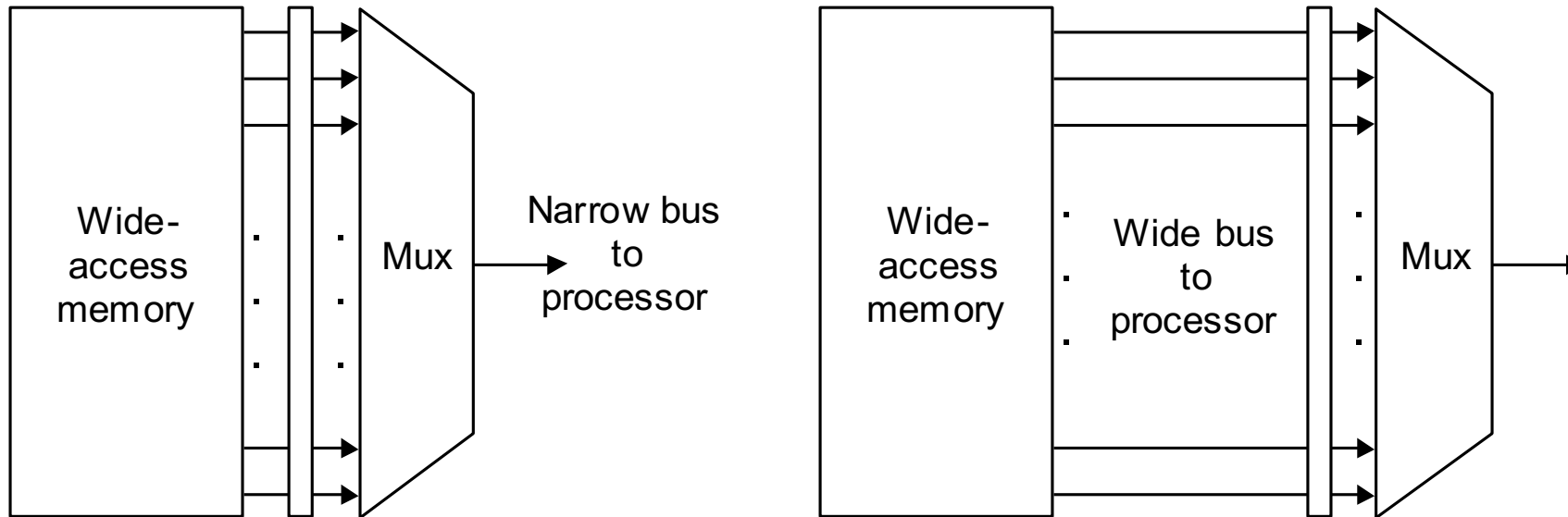


Densitatea și capacitatea memoriei au crescut odată cu puterea și complexitatea CPU, dar viteza memoriei nu a ținut pasul.



Trecerea prăpastiei de viteză CPU-Memorie

Idee: Citim mai multe date din memorie la fiecare acces



(a) Buffer and multiplexer at the memory side

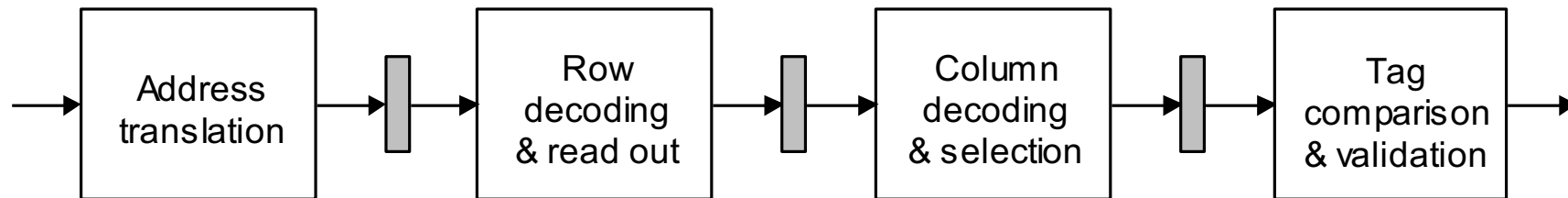
(a) Buffer and multiplexer at the processor side

Două căi de a folosi o memorie cu lățime mare de bandă pentru a reduce diferența de viteză dintre procesor și memorie.

Memorie și b.a.

Latența memoriei poate fi dată și de alți factori, în afară de timpul de acces fizic.

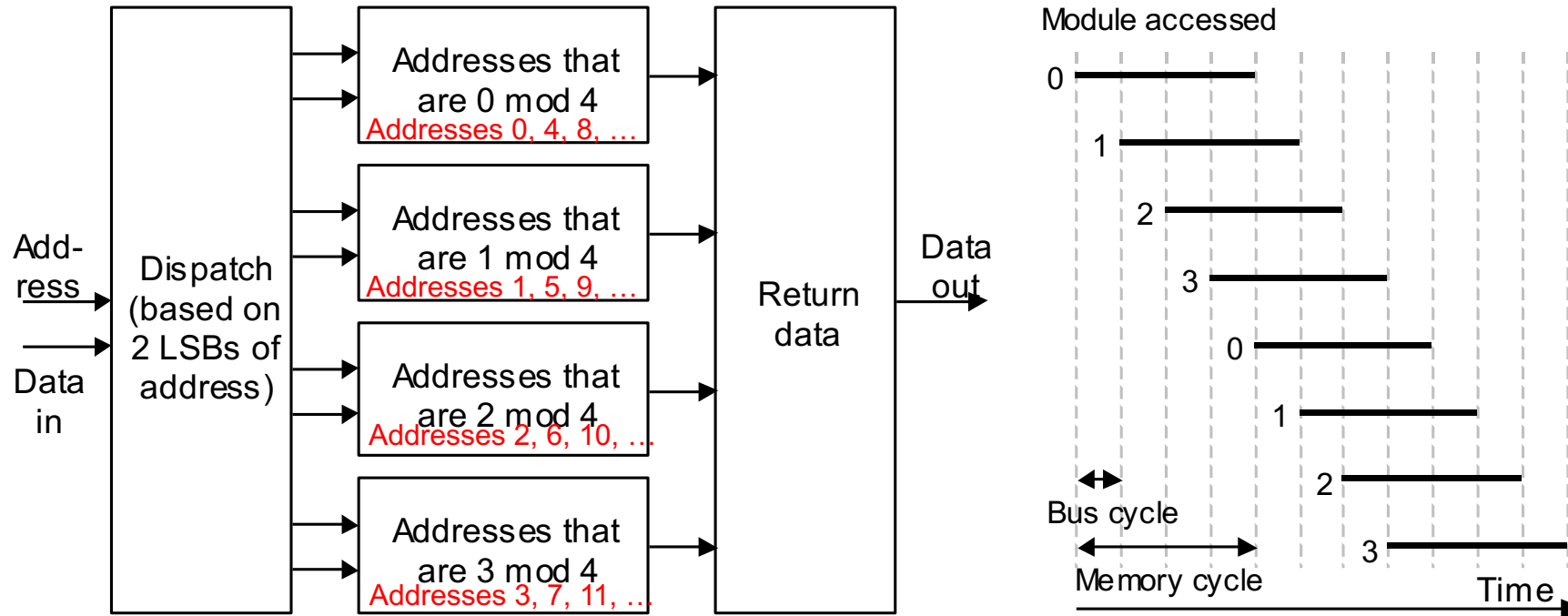
- Translatarea adresei virtuale
- Compararea etichetelor pentru a determina rata hit/miss pentru cache



Memorie cache în bandă de asamblare

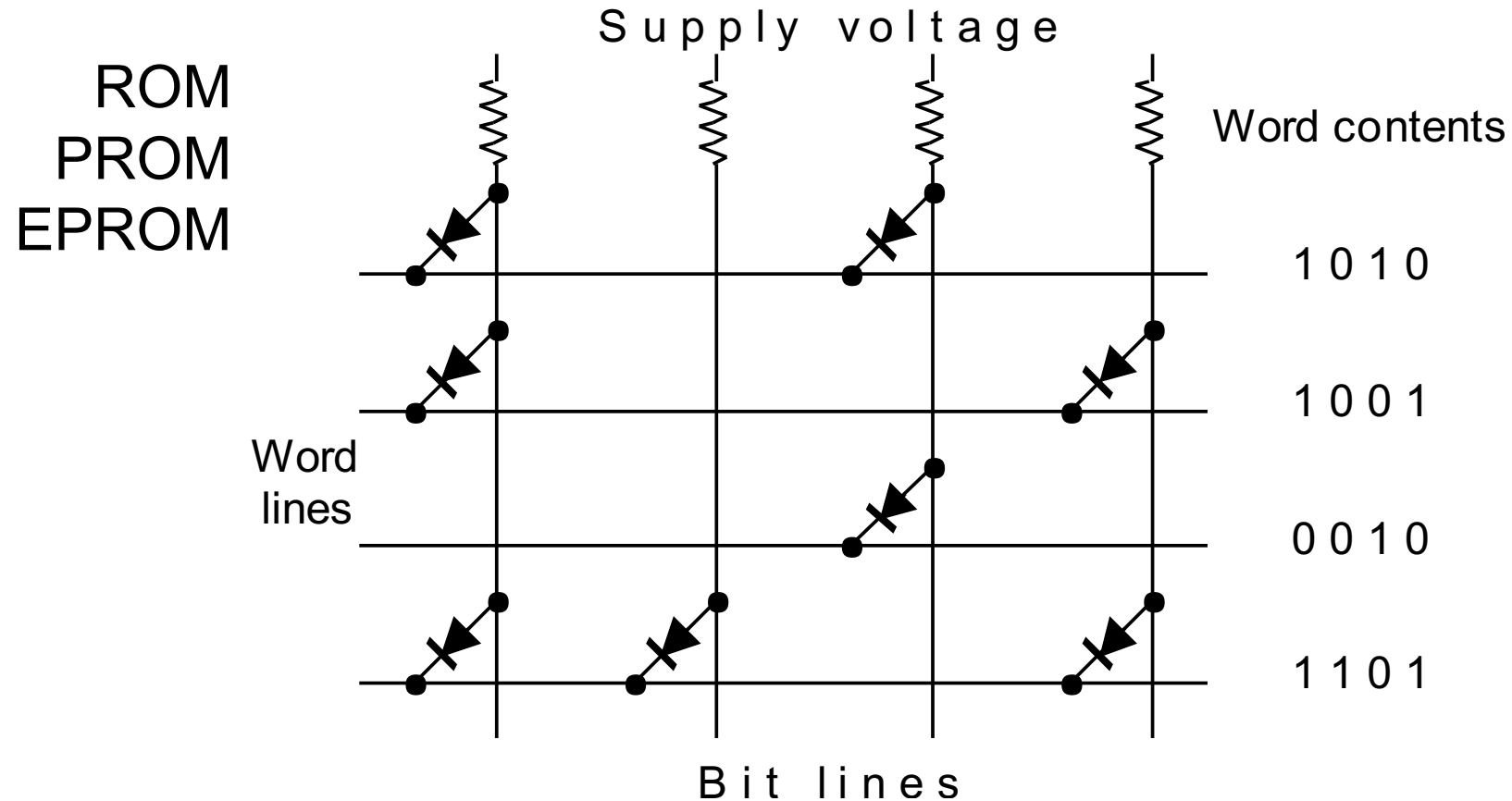


Întrețeserea memoriei



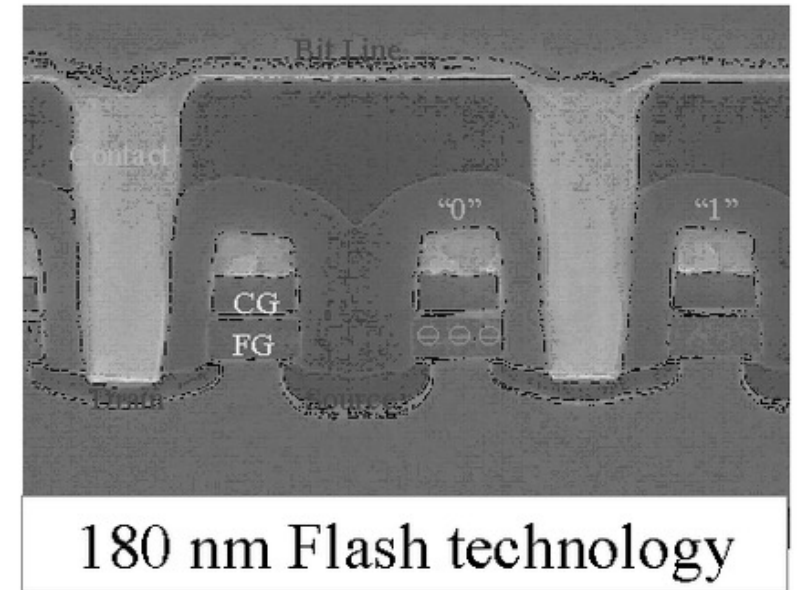
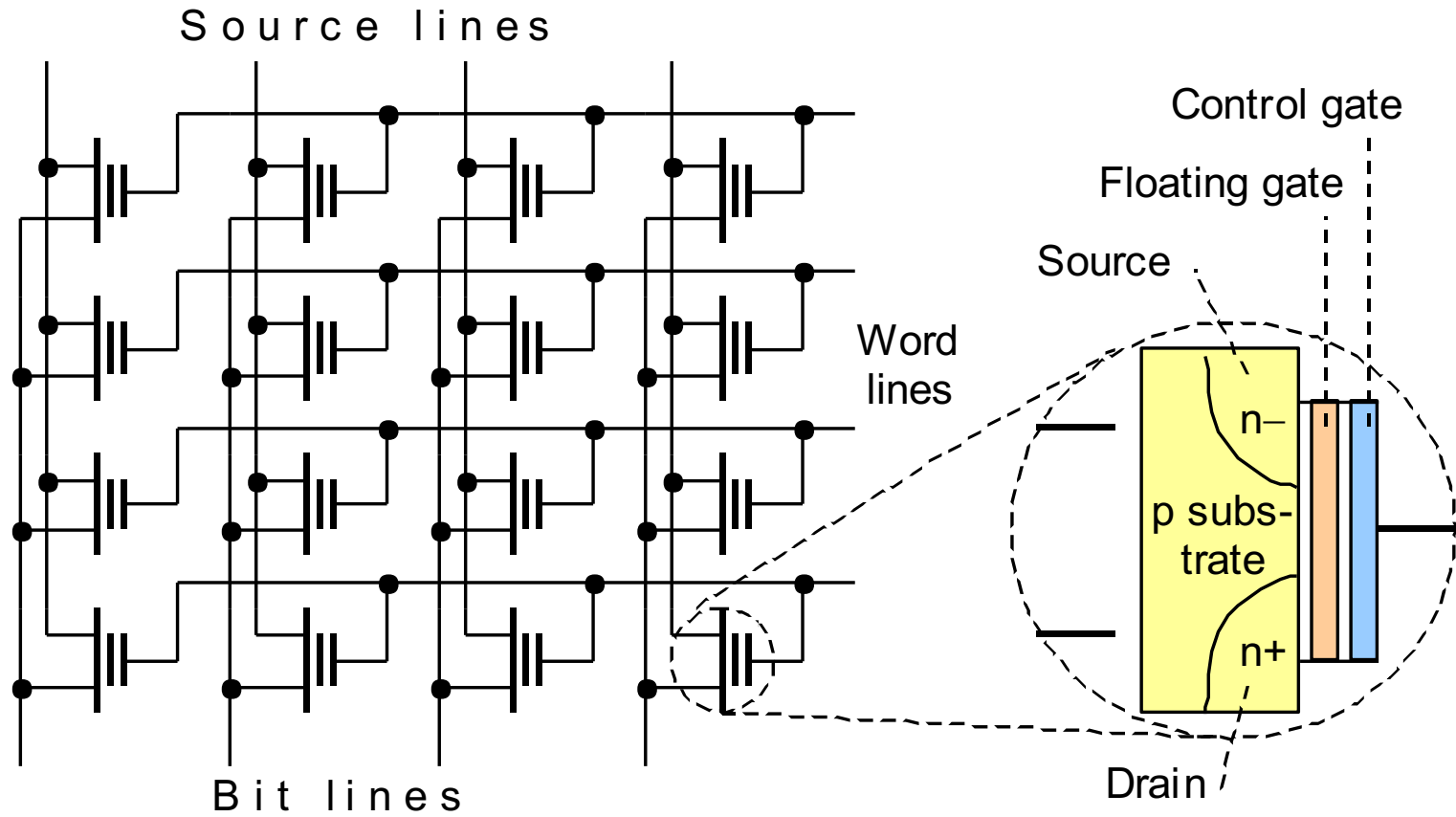
Memoria întrețesută e mai flexibilă decât memoria cu lățime de bandă mare, pentru că poate susține accese multiple independente în același timp.

Memoria ne-volatilă



Organizarea Read-Only Memory. Conținutul memoriei este afișat în dreapta.

Memoria Flash



Organizarea memoriei EEPROM sau Flash. Fiecare celulă conține un tranzistor MOS cu poartă flotantă.

Nevoia unei ierarhii de memorie

Discrepanța în latență dintre CPU și memoria principală

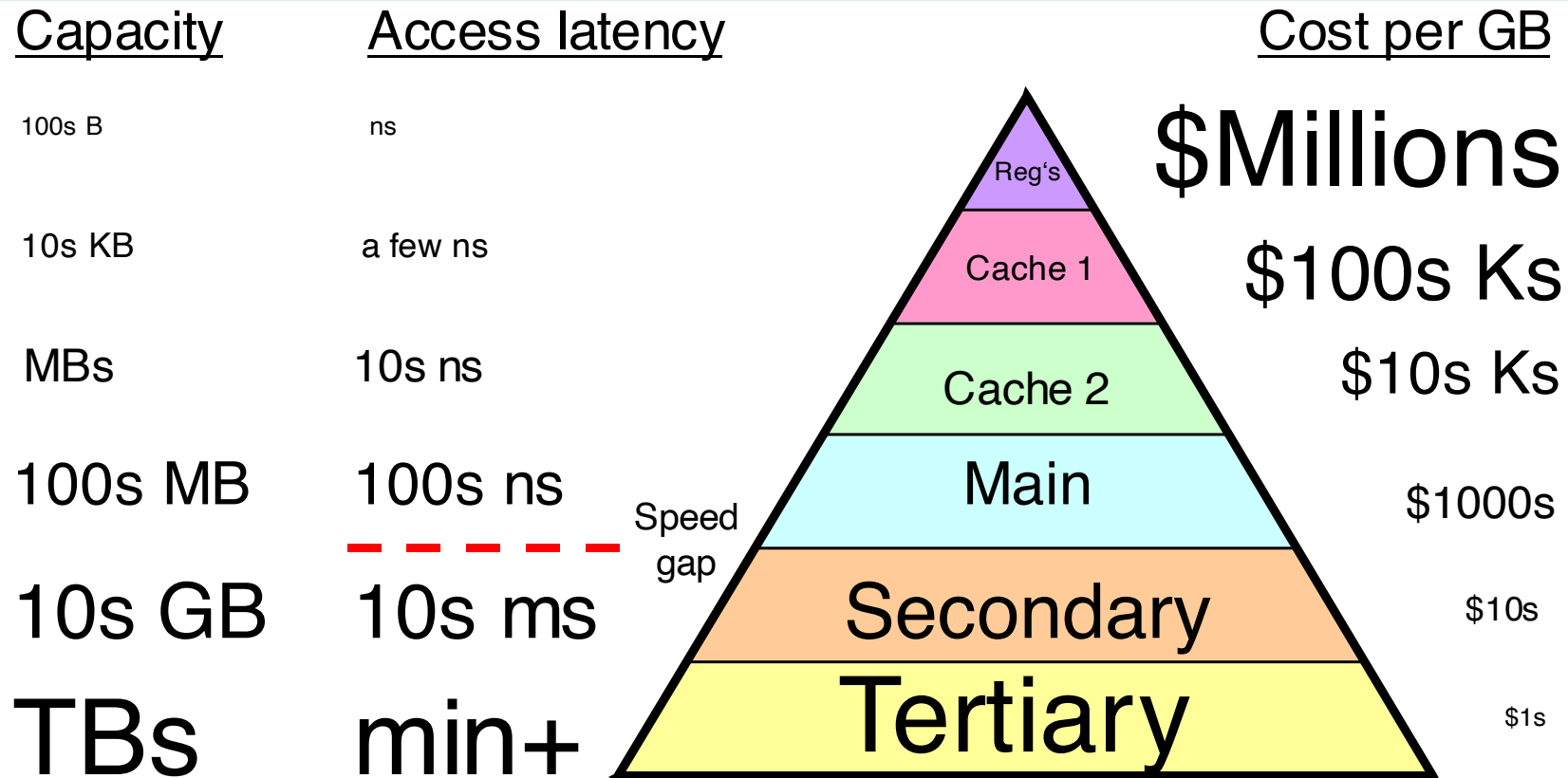
- Operațiile unui procesor sunt de ordinul nanosecundelor
- Accesele la memorie necesită timpi de ordinul zecilor sau sutelor de ns

Limitările lățimii de bandă pentru memorii reduc rata de execuție a instrucțiunilor

- Fiecare instrucțiune executată necesită cel puțin un acces la memorie
- Rezultă că performanța procesorului este redusă la câteva sute de MIPS
- O memorie rapidă poate reduce timpii de acces la date
- Cele mai rapide memorii sunt costisitoare și nu au capacitate mare.
- Două (sau trei) niveluri de cache sunt folosite, din această cauză



Ierarhia tipică a circuitelor de memorie

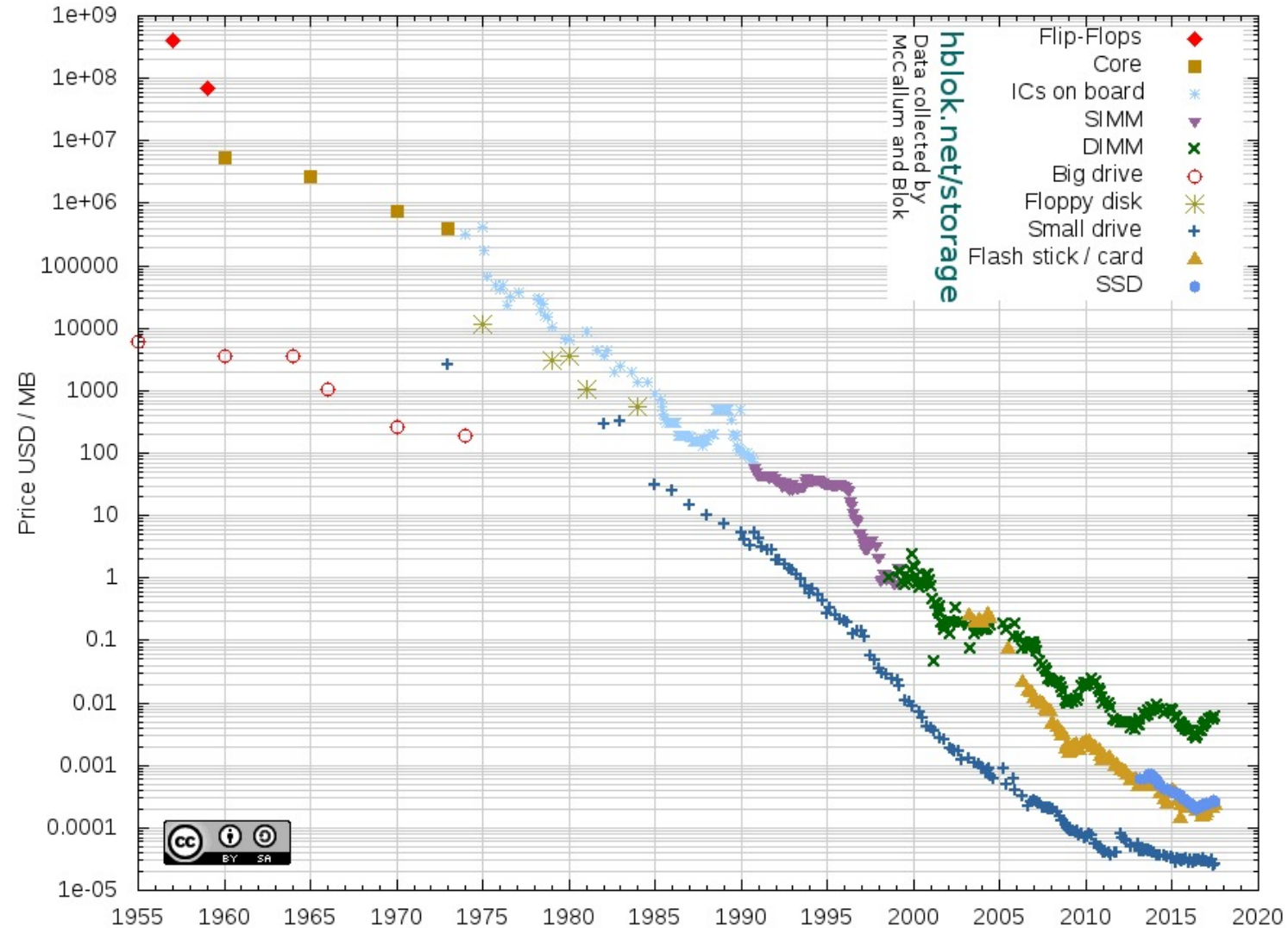


Numele și caracteristicile tipice pentru memorii în organizarea ierarhică



Tendențele prețurilor memoriilor

Historical Cost of Computer Memory and Storage



<https://hblok.net/blog/posts/2017/12/17/historical-cost-of-computer-memory-and-storage-4/>

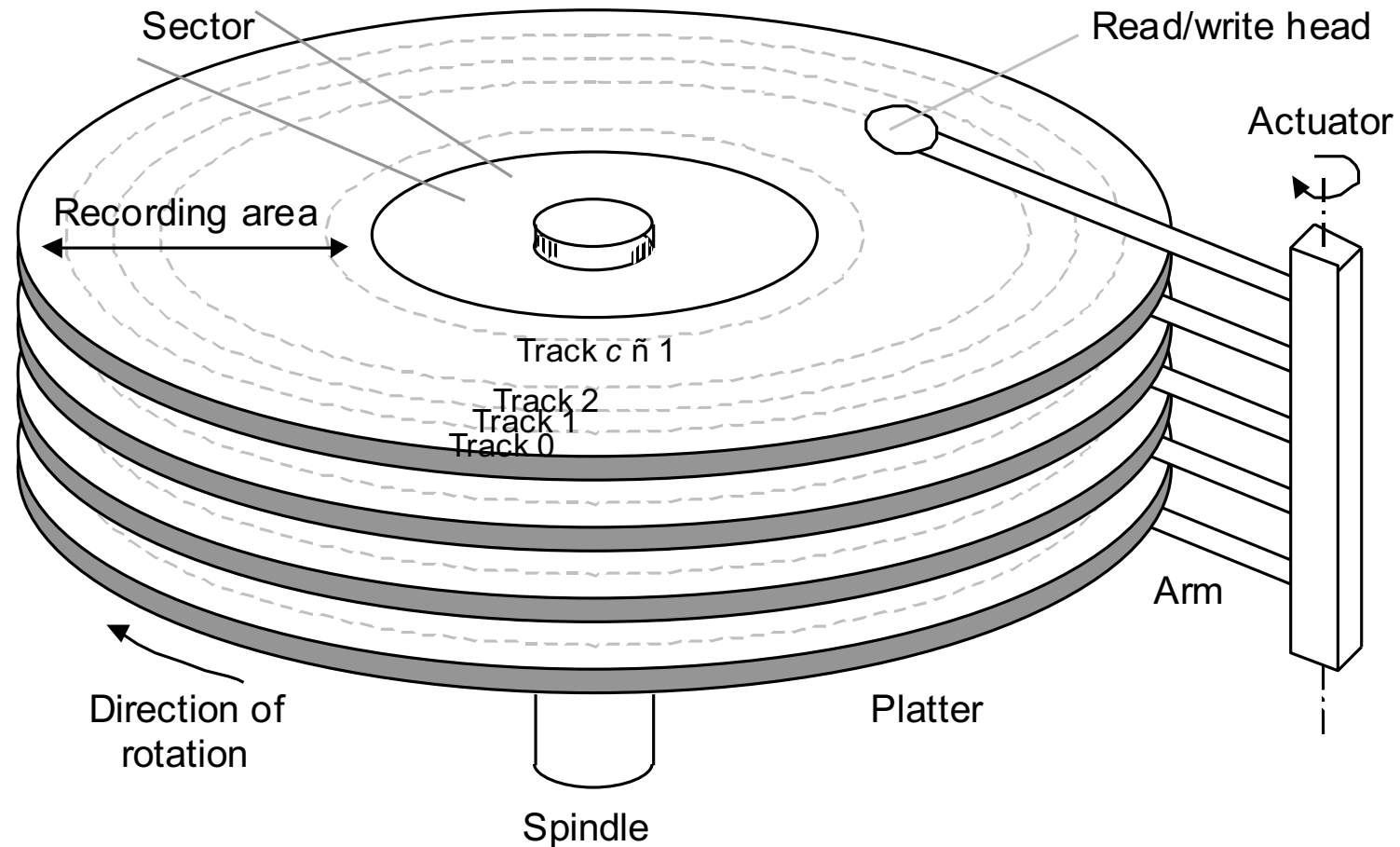
Memorii de mare capacitate

În zilele noastre, memoria principală este imensă, totuși inadecvată pentru toate necesitățile

- Discurile magnetice furnizează capacități extinse pentru stocare și back-up
- Discurile optice și memoriile solid-state sunt alte opțiuni de stocare a datelor



Disk Memory 101

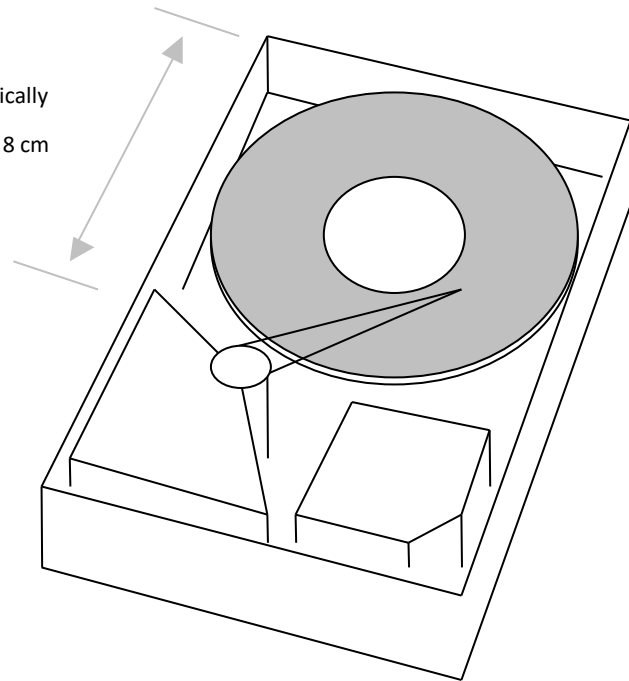


Elementele unui hard-disc și termenii principali.

Unități de disc

From Computer Desktop Encyclopedia
Reproduced with permission.
© 2005 Toshiba Corporation

Typically
2 - 8 cm



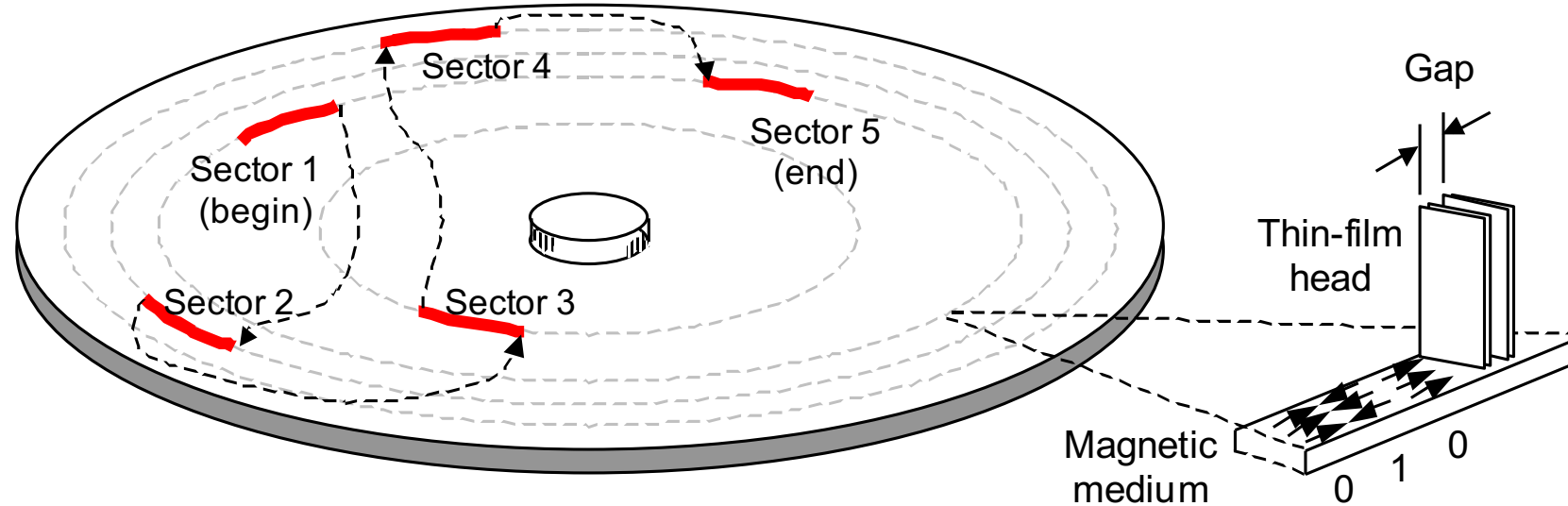
Discuri magnetice

Caracteristicile a trei tipuri diferite de discuri magnetice (cca. 2003)

Manufacturer and Model Name	Seagate Barracuda 180	Hitachi DK23DA	IBM Microdrive
Application domain	Server	Laptop	Pocket device
Capacity	180 GB	40 GB	1 GB
Platters / Surfaces	12 / 24	2 / 4	1 / 2
Cylinders	24 247	33 067	7 167
Sectors per track, avg	604	591	140
Buffer size	16 MB	2 MB	1/8 MB
Seek time, min,avg,max	1, 8, 17 ms	3, 13, 25 ms	1, 12, 19 ms
Diameter	3.5"	2.5"	1.0"
Rotation speed, rpm	7 200	4 200	3 600
Typical power	14.1 W	2.3 W	0.8 W



Organizarea datelor pe disc



Înregistrarea magnetică a datelor pe piste și capul de citire/scriere.

0	16	32	48	1	17	33	49	2	Track i
30	46	62	15	31	47	0	16	32	Track $i + 1$
60	13	29	45	61	14	30	46	62	Track $i + 2$
27	43	59	12	28	44	60	13	29	Track $i + 3$

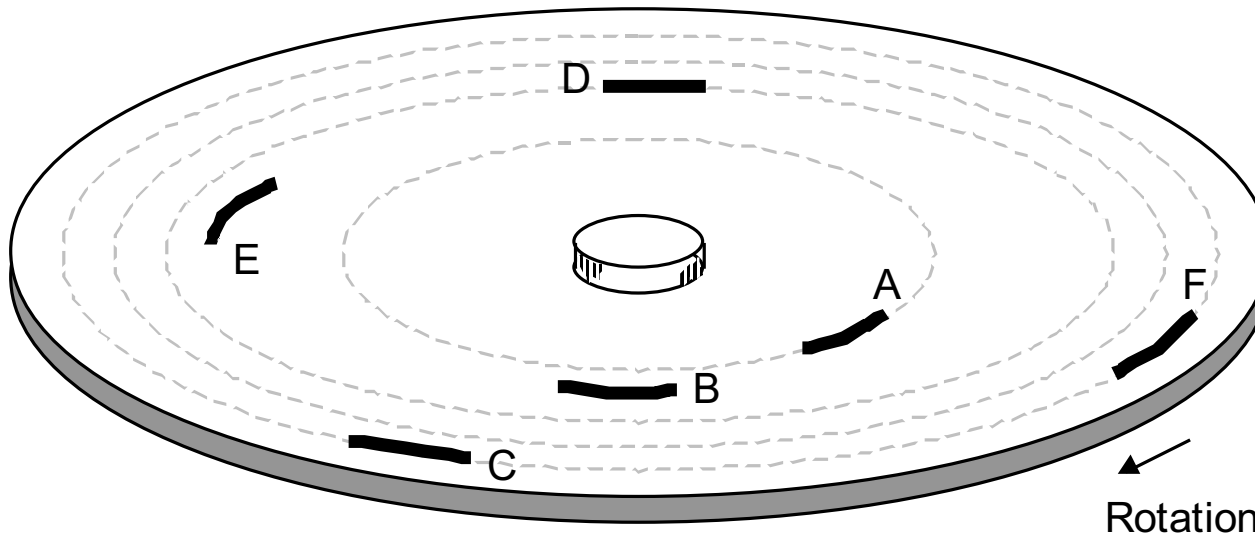
Numerotarea logică a sectoarelor pe mai multe piste adiacente.



Performanța discurilor

$$\text{Timpul de căutare} = a + b(c - 1) + \beta(c - 1)^{1/2}$$

$$\text{Latență medie dată de rotire} = (30 / \text{rpm}) \text{ s} = (30\,000 / \text{rpm}) \text{ ms}$$



Arrival order of access requests:

A, B, C, D, E, F

Possible out-of-order reading:

C, F, D, E, B, A

Reducerea timpului de căutare și a latenței de rotire prin accesarea datelor în altă ordine.

Disk Caching

Aceeași idee ca și la caching-ul pentru procesoare: micșorarea latenței dintre memoria principală și disc

Discurile au memorii tampon în funcție de capacitate (de ordinul 10-100 MB)

Latența datorată rotației este eliminată; pot să încep de la orice sector

Am nevoie de energie pentru back-up pentru a nu pierde schimbările din memoria tampon

(ne trebuie oricum o rezervă de energie pentru retragerea capului de citire la căderea sursei de energie electrică)

Opțiuni de plasare a memoriei cache pentru discuri

În controllerul de disc:

Suntem afectați de latența magistralei de date și a controllerului în sine, chiar și pentru un cache hit

Mai aproape de CPU:

Reduce latența și permite o utilizare mai bună a spațiului

Soluții intermediare sau mixte



Disk Arrays & RAID

Necesitatea de memorii secundare (disc) de capacitate și productivitate mărită

Processor speed	RAM size	Disk I/O rate	Number of disks	Disk capacity	Number of disks
1 GIPS	1 GB	100 MB/s	1	100 GB	1
1 TIPS	1 TB	100 GB/s	1000	100 TB	100
1 PIPS	1 PB	100 TB/s	1 Million	100 PB	100 000
1 EIPS	1 EB	100 PB/s	1 Billion	100 EB	100 Million

1 RAM byte
pentru fiecare IPS

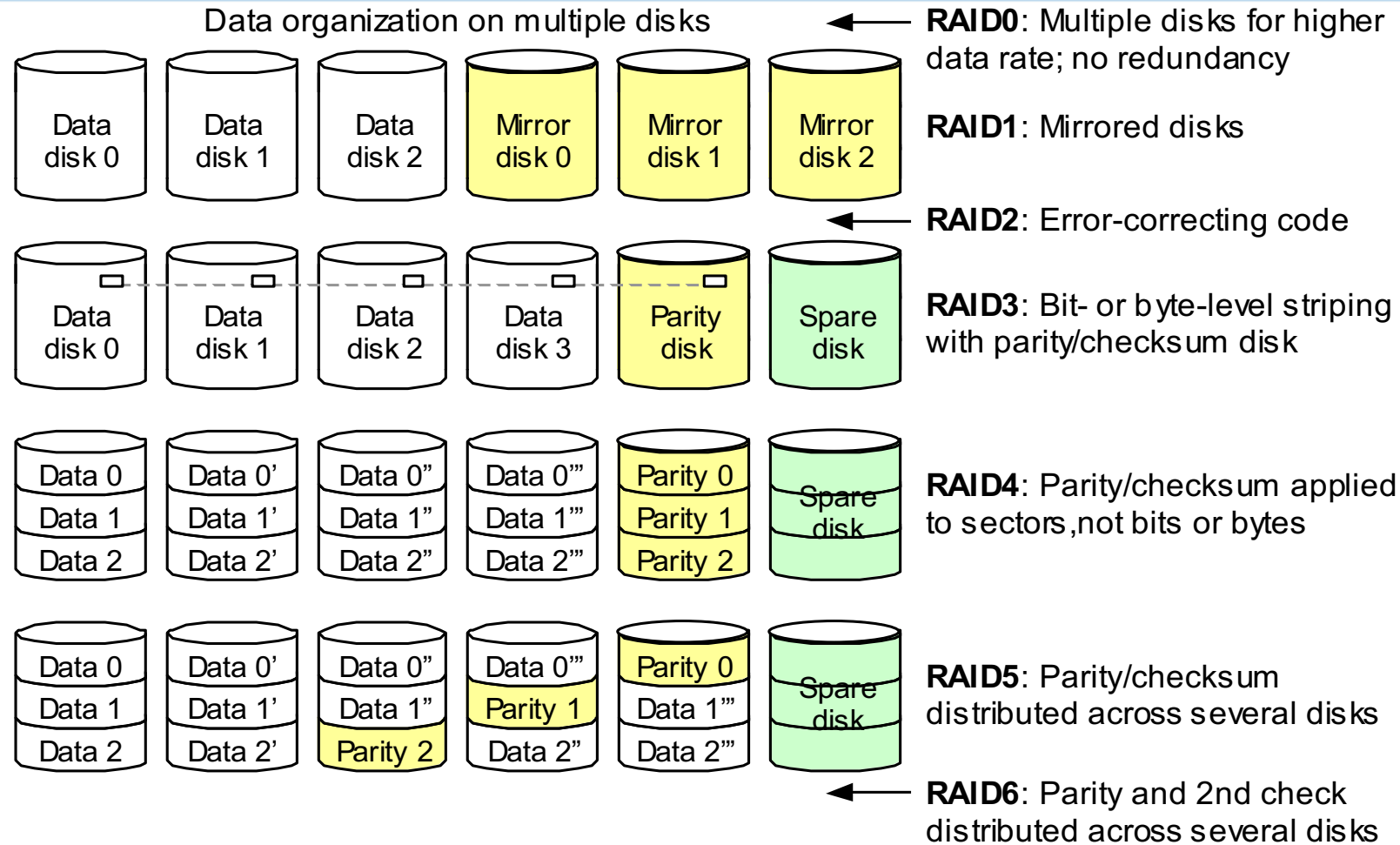
1 I/O bit/sec
pentru fiecare IPS

100 disk bytes
pt. fiecare RAM byte

**Legea lui
Amdahl
pentru un
sistem bine
echilibrat**



Redundant Array of Independent Disks (RAID)



Nivelurile 0-6 RAID, cu o vedere simplificată a organizării datelor.



Exemple de produse RAID



[HighPoint RocketStor 6618 Thunderbolt 3 DAS: 8-Bays, Up to 96 TB, 2.7 GB/s](#)



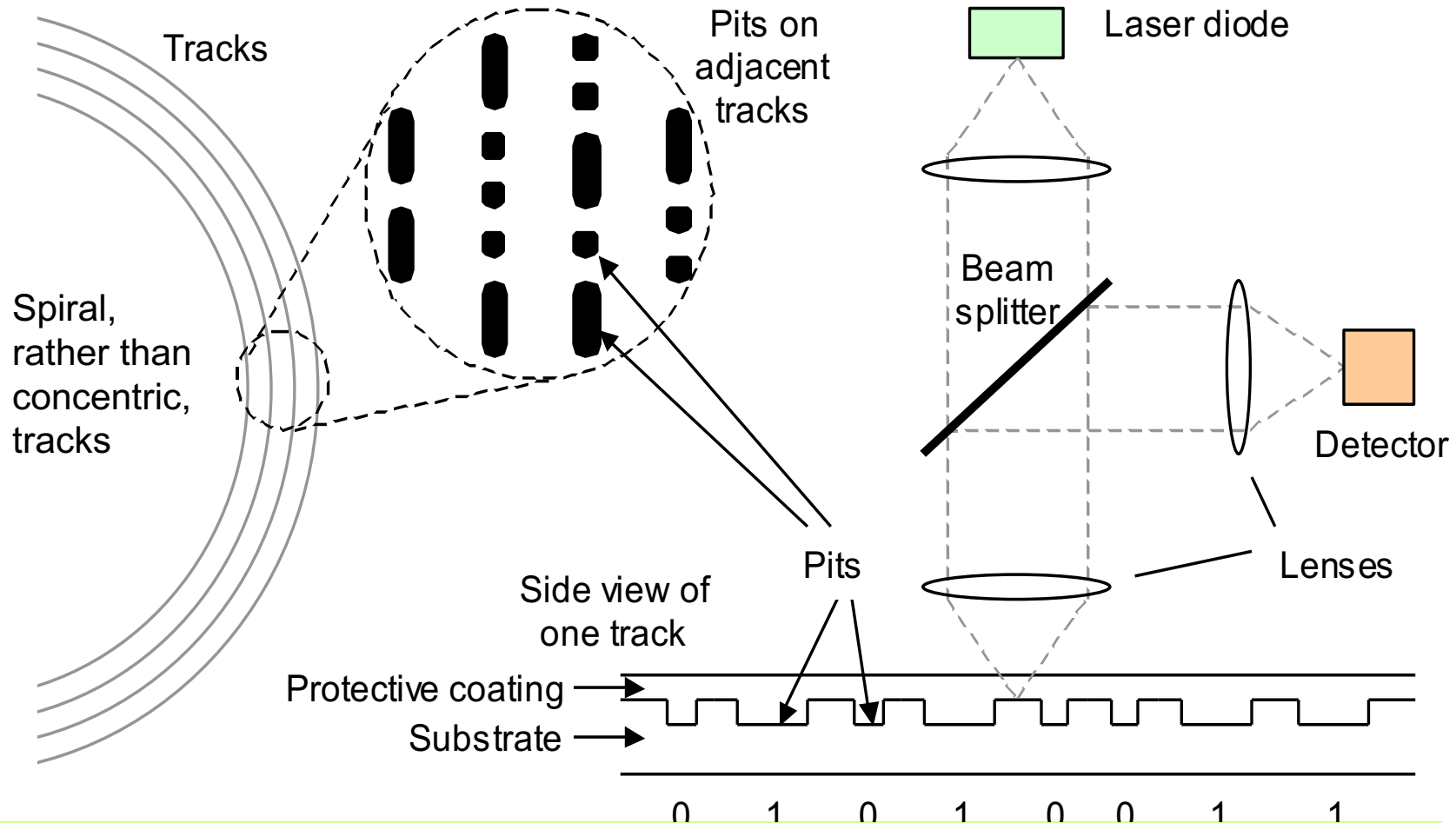
HADOOP.Big Data Rx8500/8600 250TB-Enterprise Cloud Storage Solution



Alte tipuri de medii de stocare

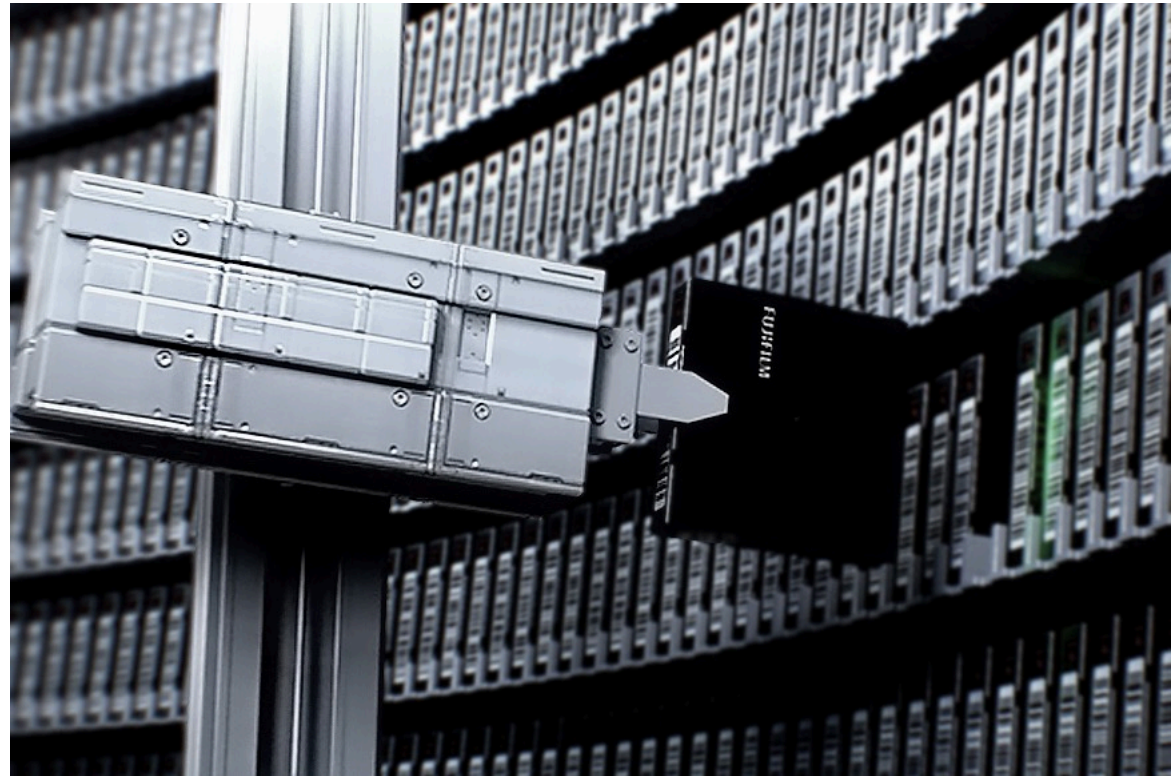
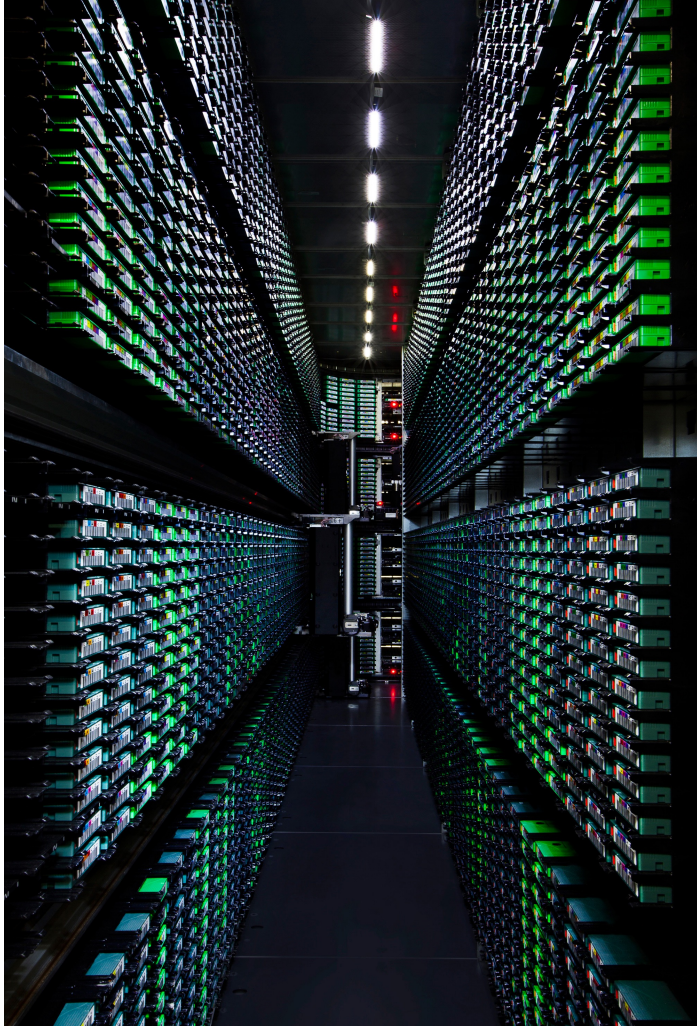


Discuri optice



Vedere simplificată a înregistrărilor și mecanismul de acces la date pentru un CD-ROM sau DVD-ROM.

Biblioteci automate de benzi pentru arhivare



https://en.wikipedia.org/wiki/Tape_library

